

**CONVERSION
ANALOGIQUE / NUMERIQUE
ET
NUMERIQUE / ANALOGIQUE**

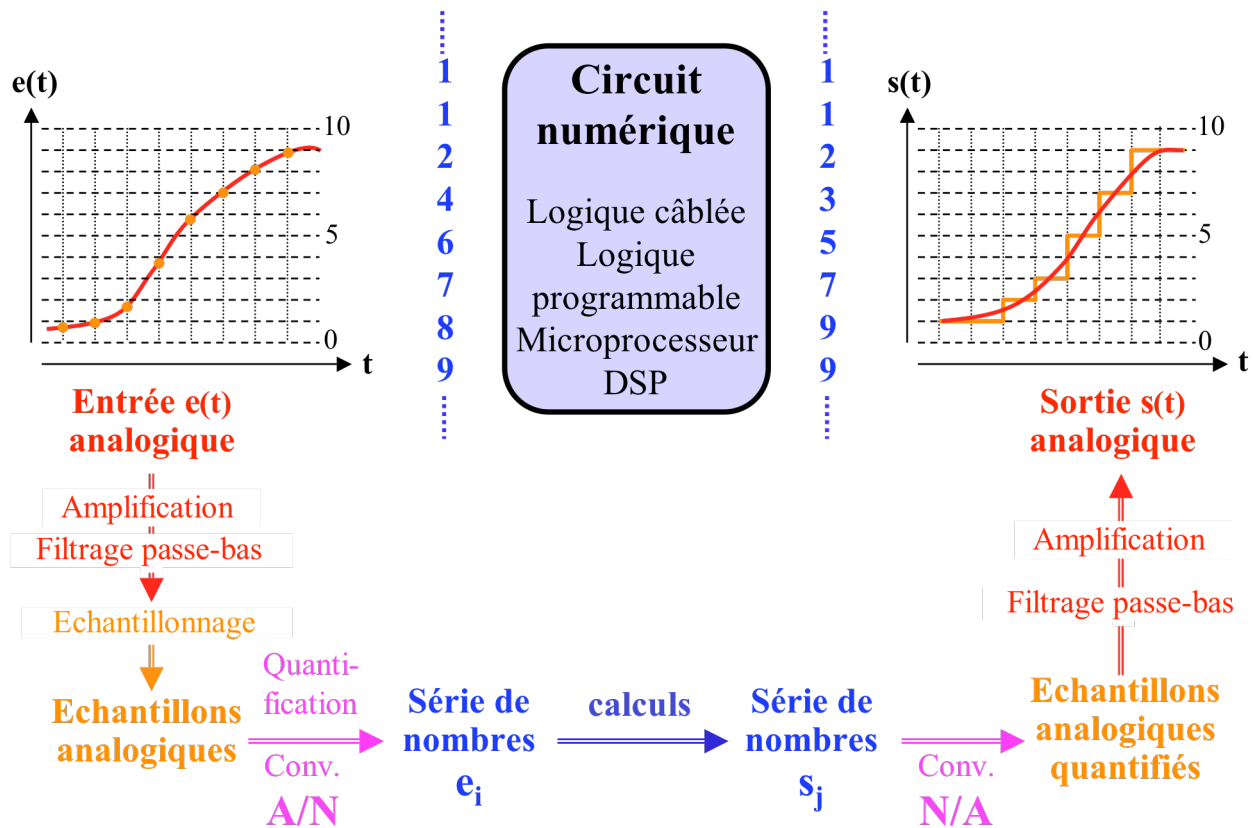
CONVERSION ANALOGIQUE/NUMERIQUE ET NUMERIQUE/ANALOGIQUE

	page
1. INTRODUCTION - DEFINITIONS	
1.1 INTRODUCTION	1
1.2 ECHANTILLONNAGE	1
1.3 DEFINITION DE LA CONVERSION N/A	3
1.4 DEFINITION DE LA CONVERSION A/N	5
1.5 PARAMETRES STATIQUES	6
1.6 PARAMETRES DYNAMIQUES	9
1.7 INTERFACE NUMERIQUE	12
2. CONVERSION NUMERIQUE / ANALOGIQUE	
2.1 CONVERTISSEURS N/A POTENTIOMETRIQUES	13
2.2 CONVERTISSEURS N/A A RESISTANCES PONDEREES	15
2.3 CONVERTISSEURS N/A A ECHELLE R/2R	16
2.4 CONVERTISSEURS N/A A SOURCES DE COURANT PONDEREES	20
2.5 CONVERTISSEURS N/A A CAPACITES PONDEREES	24
3. CONVERSION ANALOGIQUE / NUMERIQUE	
3.1 INTRODUCTION	31
3.2 CLASSIFICATION DES CONVERTISSEURS A/N	32
3.3 FENÊTRE D'ECHANTILLONNAGE, SAMPLE & HOLD	34
3.4 CONVERTISSEURS A/N A INTEGRATION	37
3.5 CONVERTISSEURS A/N A APPROXIMATIONS SUCCESSIVES	42

1. INTRODUCTION - DEFINITIONS

1.1. INTRODUCTION

La majorité des systèmes actuels de traitement du signal ont une structure mixte, avec des circuits analogiques et numériques, comme illustré dans l'exemple ci-dessous.



Les Convertisseurs Analogique/Numérique et Numérique/Analogique forment l'interface indispensable entre les deux types de circuits.

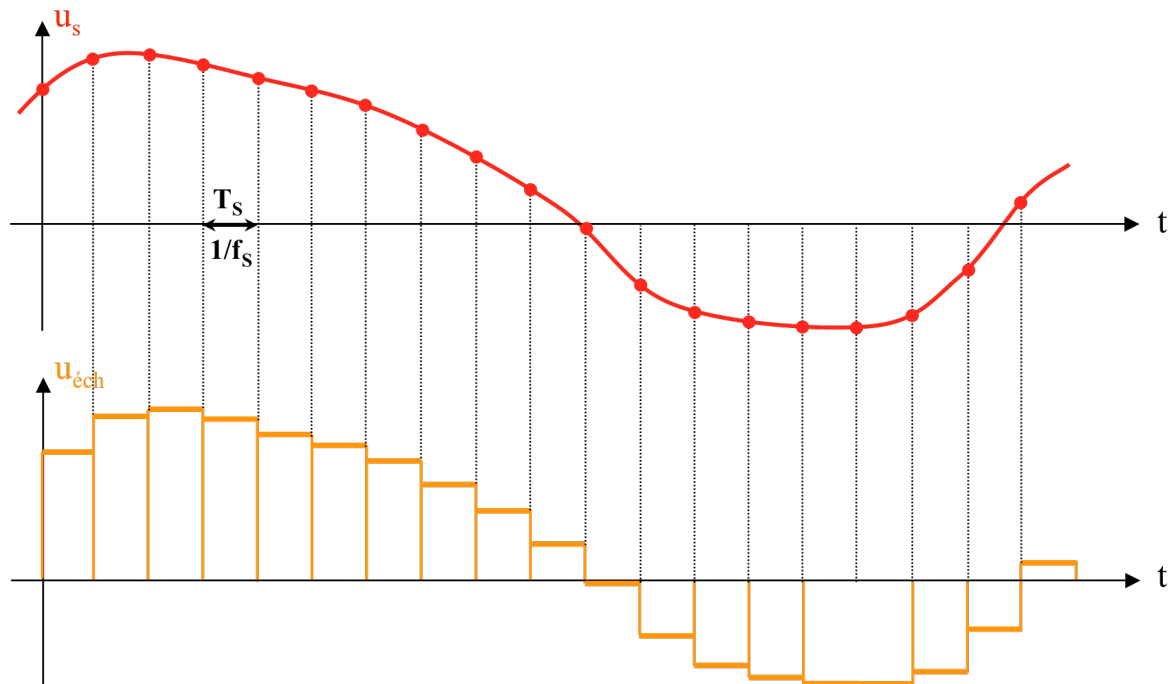
1.2. ECHANTILLONNAGE (SAMPLING)

Comme le montre l'exemple ci-dessus, la représentation numérique d'un signal est une suite de valeurs discrètes dans le temps, appelées échantillons.

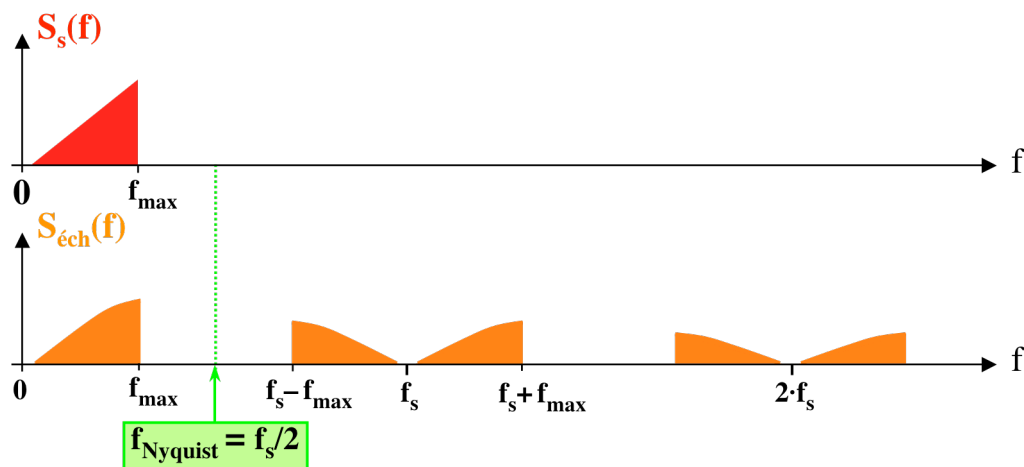
Un signal analogique peut aussi être échantillonné, ce qui, en pratique, donne une suite d'impulsions analogiques rectangulaires, d'où l'appellation d'échantillonnage avec maintien (Sample and Hold).

Dans ce cours, on supposera toujours un échantillonnage périodique, à une fréquence constante f_s , et donc un temps constant $T_s = 1/f_s$ entre deux échantillons successifs.

Soit un signal $u_s(t)$, et sa version échantillonnée, avec maintien durant la période d'échantillonnage de la valeur échantillonnée, $u_{\text{éch}}(t)$:



Les spectres respectifs $S_s(f)$ et $S_{\text{éch}}(f)$ de ces signaux sont:



Ce signal échantillonné $u_{\text{éch}}(t)$ idéal est le résultat d'une modulation de "Diracs" à f_s par $u_s(t)$, suivie d'une fonction $\text{rect}(t/T_s)$. Ceci fait apparaître dans $S_{\text{éch}}(f)$ des bandes latérales aux multiples entiers de f_s , multipliées par la fonction $\text{sinc}(\pi f/f_s)$.

La figure ci-dessus met parfaitement en évidence le **Théorème d'échantillonnage**:

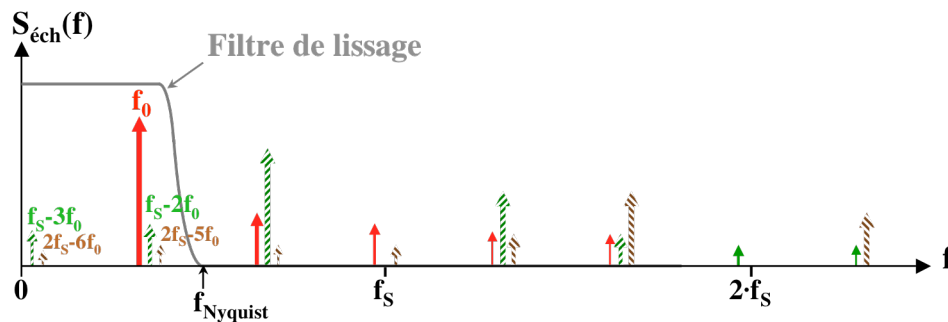
Un signal peut être reconstruit sans erreur à partir de ses échantillons, par un filtre passe-bas de lissage idéal, à condition que la fréquence d'échantillonnage soit supérieure ou égale au double de la composante fréquentielle la plus haute du signal.

La moitié de la fréquence d'échantillonnage est souvent appelée fréquence de Nyquist. La bande de fréquence s'étendant du continu à cette fréquence est appelée bande de Nyquist.

Dans la pratique, pour que les contraintes sur le filtrage soient réalistes, la fréquence d'échantillonnage minimale est, suivant le type de signal, de 2.5 à 4 fois sa composante fréquentielle la plus haute.

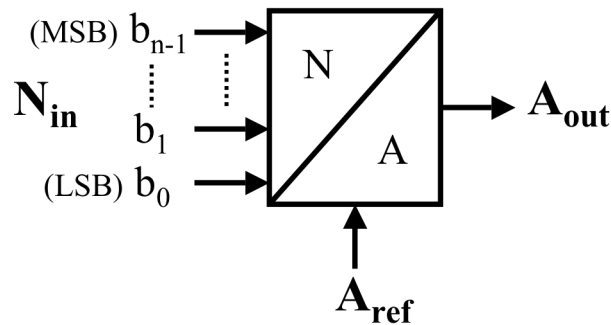
De plus, pour satisfaire le théorème d'échantillonnage, le spectre du signal initial doit forcément être borné, ce qui est généralement garanti par un filtre passe-bas de garde, précédant l'échantillonneur.

Même en respectant le théorème d'échantillonnage, le repliement de spectre (bandes latérales inférieures) provoque l'apparition de signaux parasites indésirables dans la bande de Nyquist, par repliement des composantes harmoniques du signal initial créées par les inévitables distorsions de la chaîne de traitement de celui-ci. La figure ci-dessous illustre ce phénomène dans le cas où le signal est un simple sinus à f_0 .



1.3. DEFINITION DE LA CONVERSION NUMERIQUE / ANALOGIQUE

Un convertisseur numérique/analogique (CNA) reçoit à son entrée des signaux binaires, qui correspondent aux bits représentant un nombre N_{in} selon un codage donné, et produit en sortie un signal analogique A_{out} , tension ou courant, proportionnel à N_{in} .



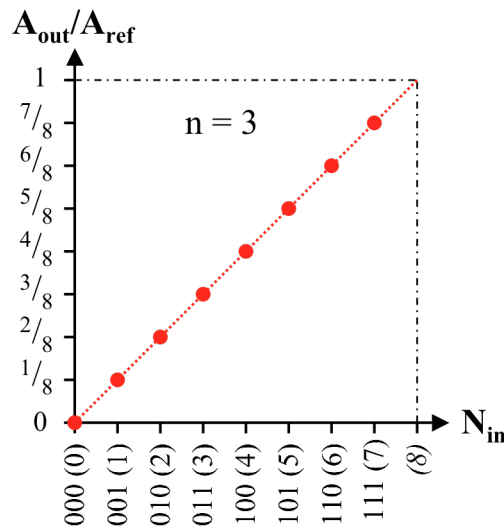
La grandeur analogique A_{ref} est un facteur d'échelle, dit de pleine échelle ("Full Scale") qui détermine la dimension et la dynamique de la grandeur de sortie.

Dans le cas le plus courant d'un codage binaire pur, N_{in} est un entier positif compris entre 0 et $2^n - 1$, et la grandeur analogique de sortie est donnée par:

$$A_{out} = \frac{A_{ref}}{2^n} \cdot N_{in} = \frac{A_{ref}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i = \frac{A_{ref}}{2^n} \cdot (b_{n-1} \cdot 2^{n-1} + \dots + b_1 \cdot 2^1 + b_0)$$

On parle alors de CNA unipolaire à n bits.

Caractéristique de transfert d'un CAN unipolaire (exemple à 3 bits):



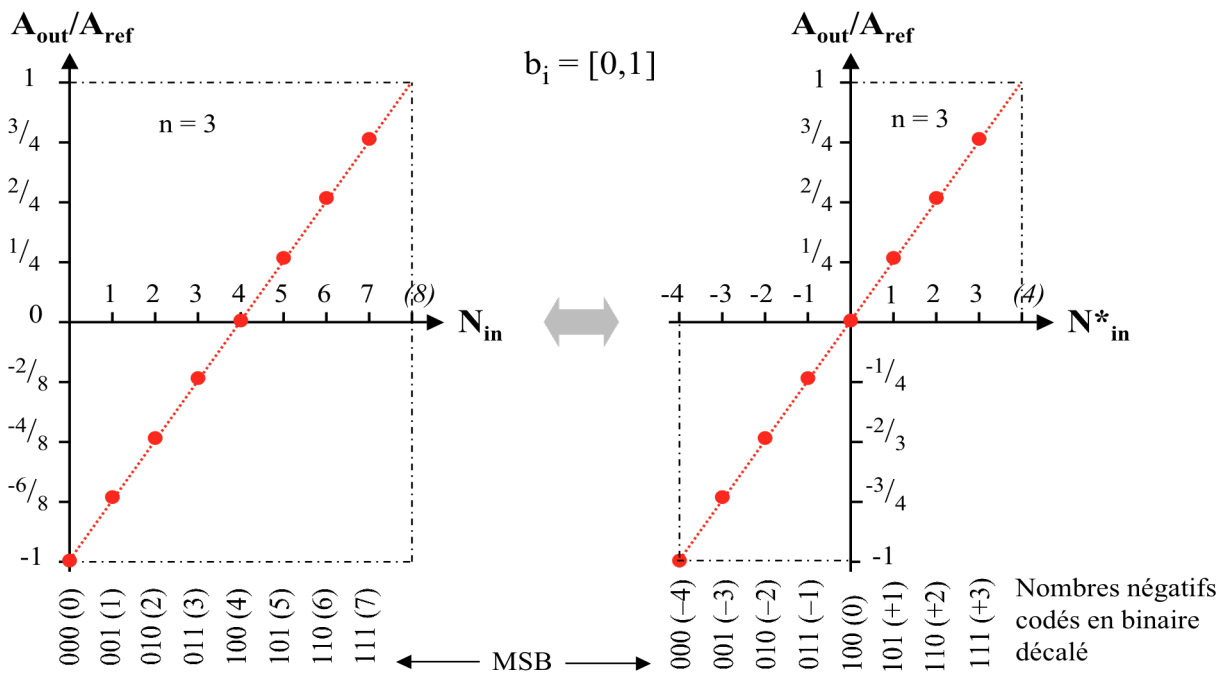
Le codage peut aussi être binaire décalé, pour lequel les bits sont interprétés ainsi:

$$N_{in}^* = -2^{n-1} + \sum_{i=0}^{n-1} b_i \cdot 2^i = -2^{n-1} + b_{n-1} \cdot 2^{n-1} + \dots + b_1 \cdot 2^1 + b_0 = -2^{n-1} + N_{in}$$

N_{in}^* est alors un entier entre -2^{n-1} et $+2^{n-1}-1$, et la grandeur analogique de sortie est donnée par:

$$A_{out} = -A_{ref} + \frac{A_{ref}}{2^{n-1}} \cdot N_{in} = \frac{A_{ref}}{2^{n-1}} \cdot N_{in}^*$$

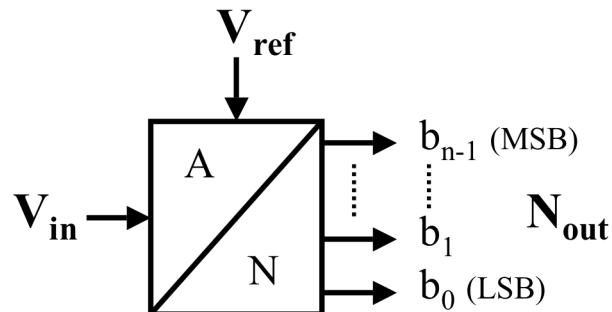
On parle alors de CNA bipolaire à n bits, dont la caractéristique de transfert est la suivante (exemple à 3 bits):



Dans tous les cas, la grandeur analogique de sortie ne peut prendre que 2^n valeurs discrètes.

1.4. DEFINITION DE LA CONVERSION ANALOGIQUE / NUMERIQUE

Un convertisseur analogique/numérique (CAN) reçoit à son entrée un signal analogique, généralement une tension V_{in} , et produit en sortie n signaux binaires qui correspondent aux bits représentant, selon un codage donné, un nombre N_{out} proportionnel à V_{in} .



La grandeur analogique V_{ref} est un facteur d'échelle, dit de pleine échelle ("Full Scale") qui détermine la dimension et la dynamique de la grandeur d'entrée.

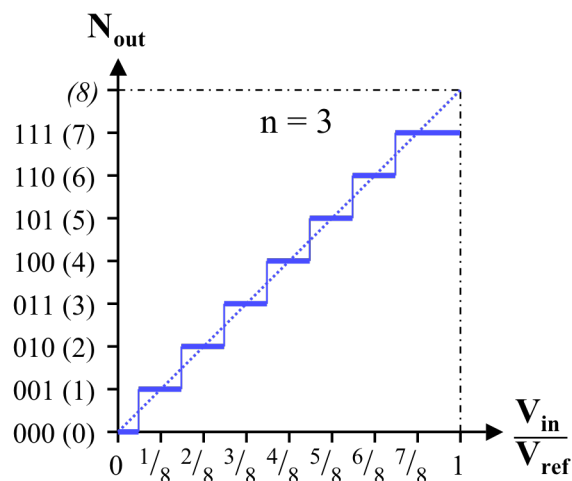
Dans le cas d'un CAN unipolaire, la tension à l'entrée V_{in} est toujours positive, comprise entre 0 et V_{ref} , les bits en sortie, pour un codage binaire de N_{out} , sont donnés par :

$$N_{out} = \sum_{i=0}^{n-1} b_i \cdot 2^i = b_{n-1} \cdot 2^{n-1} + \dots + b_1 \cdot 2^1 + b_0 = \text{arrondi} \left(2^n \cdot \frac{V_{in}}{V_{ref}} \right)$$

Lors de la conversion A/N, le signal est "*quantifié*", c'est-à-dire approximé au plus proche parmi les 2^n niveaux discrets que peut représenter un nombre codé en binaire avec n bits.

La conversion A/N introduit une "erreur de quantification" comprise entre $-V_{ref}/2^{n+1}$ et $+V_{ref}/2^{n+1}$

La caractéristique de transfert d'un CAN unipolaire est la suivante (exemple à 3 bits):



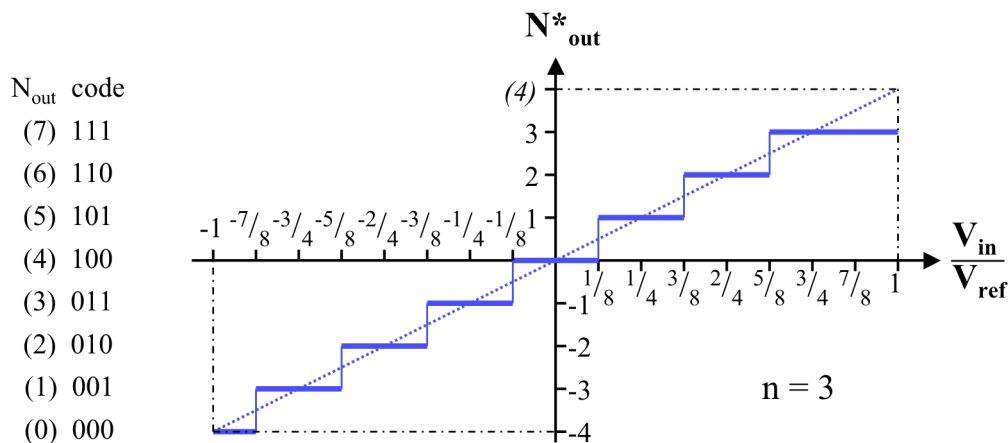
Dans le cas d'un CAN bipolaire, la tension à l'entrée V_{in} est comprise entre $-V_{ref}$ et $+V_{ref}$, les bits en sortie, pour un codage binaire de l'entier N_{out} , sont donnés par :

$$N_{out} = \sum_{i=0}^{n-1} b_i \cdot 2^i = b_{n-1} \cdot 2^{n-1} + \dots + b_1 \cdot 2^1 + b_0 = \text{arrondi} \left(2^n \cdot \frac{V_{in} + V_{ref}}{2 \cdot V_{ref}} \right)$$

Ces bits produits en sortie, peuvent aussi être interprétés comme un entier signé N_{out}^* , codé en binaire décalé, selon la relation :

$$N_{out}^* = -2^{n-1} + \sum_{i=0}^{n-1} b_i \cdot 2^i = -2^{n-1} + b_{n-1} \cdot 2^{n-1} + \dots + b_1 \cdot 2^1 + b_0 = \text{arrondi} \left(2^{n-1} \cdot \frac{V_{in}}{V_{ref}} \right)$$

La caractéristique de transfert d'un CAN bipolaire est la suivante (exemple à 3 bits):



1.5. PARAMETRES STATIQUES DES CONVERTISSEURS A/N ET N/A

1.5.1 Dynamique (Range)

La dynamique est la plage de la grandeur analogique qu'un CNA peut générer, ou qu'un CAN peut quantifier. Elle est fixée par le facteur de pleine échelle, soit la grandeur analogique de référence.

CNA unipolaire: $0 \leq A_{out} \leq \frac{2^n - 1}{2^n} \cdot A_{ref}$

CNA bipolaire: $-A_{ref} \leq A_{out} \leq \frac{2^{n-1} - 1}{2^{n-1}} \cdot A_{ref}$

CAN unipolaire: $0 \leq V_{in} \leq V_{ref}$

CAN bipolaire: $-V_{ref} \leq V_{in} \leq +V_{ref}$

1.5.2 Résolution, pas de quantification

La résolution, ou pas de quantification Δq , est la plus petite variation de la grandeur analogique qu'un CNA peut générer, ou qu'un CAN peut distinguer. Le pas de quantification correspond à une variation de 1 LSB de la valeur numérique binaire, c'est pourquoi il est aussi souvent appelé "LSB". La résolution est liée au nombre n de bits du convertisseur, la pleine échelle de la grandeur analogique étant divisée en 2^n parties égales, soit 2^n pas de quantification.

CNA et CAN unipolaire: $\Delta q = \frac{V_{ref}}{2^n}$

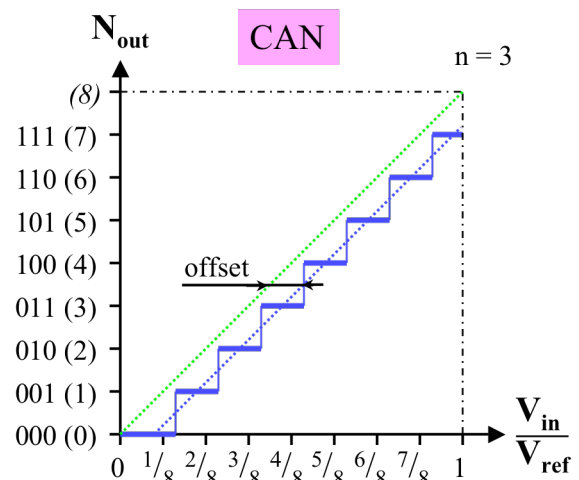
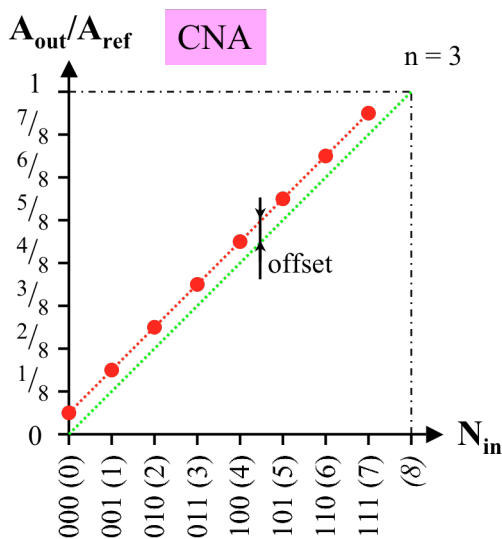
CNA et CAN bipolaire: $\Delta q = \frac{2 \cdot V_{ref}}{2^n} = \frac{V_{ref}}{2^{n-1}}$

1.5.3 Erreurs et imperfections

La caractéristique réelle d'un convertisseur A/N ou N/A ne correspond jamais exactement à la caractéristique idéale théorique. Des imperfections, liées aux éléments qui constituent le circuit (erreurs d'appariement, non-linéarité, imprécision, dérive thermique, injection de charge, éléments parasites, ...), ou même parfois au principe de conversion utilisé, engendrent des erreurs que l'on classe en fonction du type de déformation qu'elles provoquent. Globalement, l'erreur associée à la caractéristique d'un convertisseur résulte de la superposition des différents types.

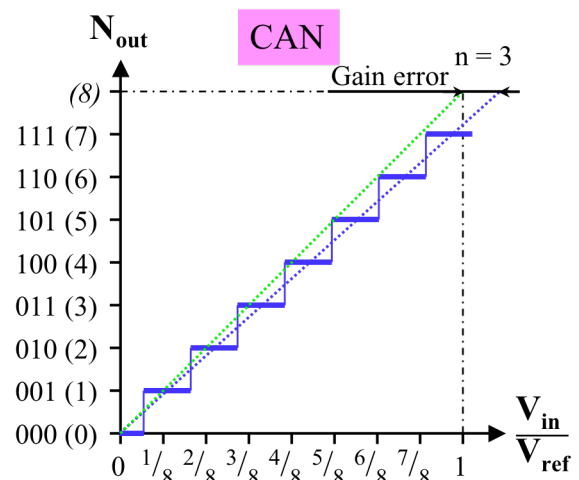
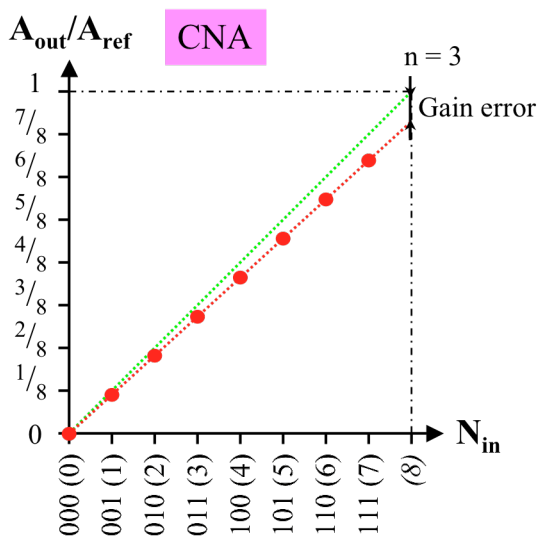
Offset

L'offset est un décalage selon l'axe de la grandeur analogique. Il est spécifié en Volts ou en "LSB".



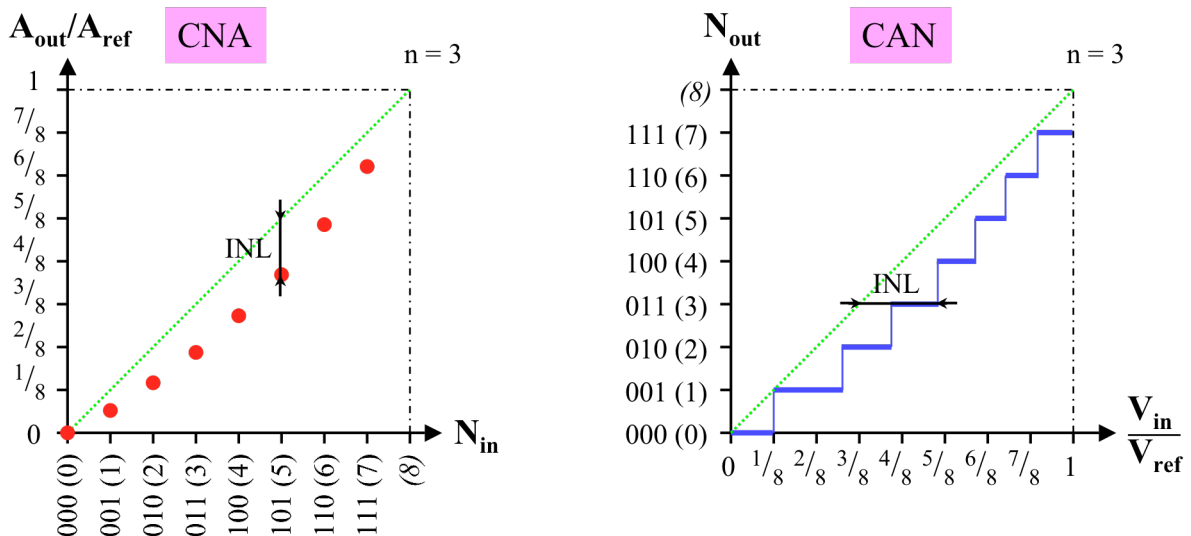
Erreur de gain

L'erreur de gain se traduit par une pente de la caractéristique de transfert qui s'écarte de la valeur idéale. C'est donc une erreur du facteur d'échelle. Elle correspond à une erreur systématique du pas de quantification. Elle s'exprime souvent en % du "LSB" idéal.



Non-linéarité intégrale (INL)

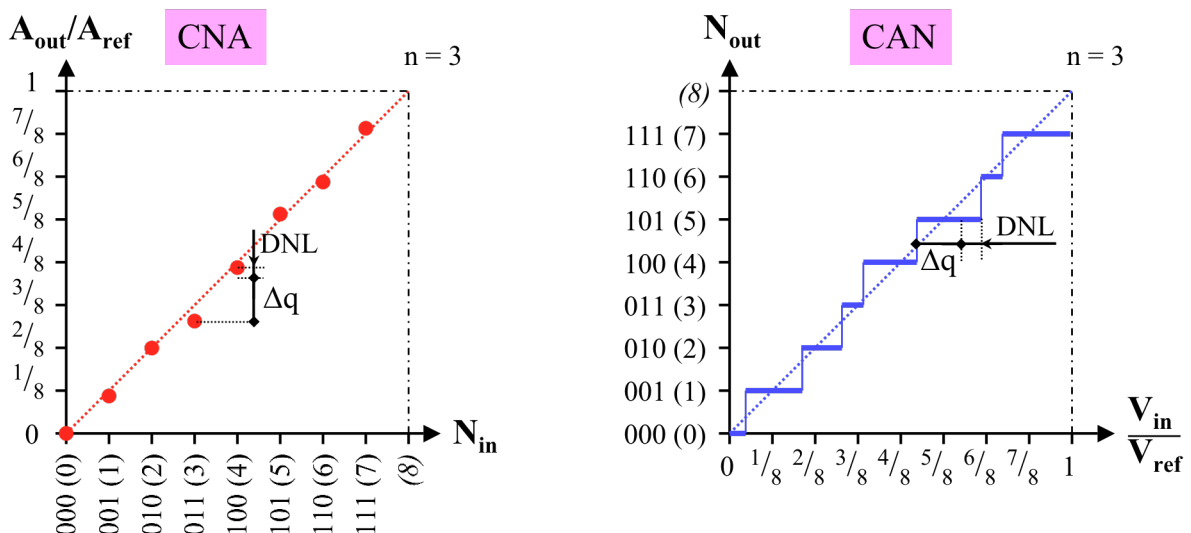
La non-linéarité intégrale correspond à l'écart maximal entre la caractéristique de transfert réelle et la droite idéale ou, parfois, la droite passant au plus près des points mesurés. Elle s'exprime en "LSB".



La non-linéarité intégrale crée des distorsions harmoniques et des produits d'intermodulation dans le signal de sortie. A cause du repliement de spectre dû à l'échantillonnage, des harmoniques ou produits d'ordre élevé peuvent se retrouver dans la bande de Nyquist.

Non-linéarité différentielle (DNL)

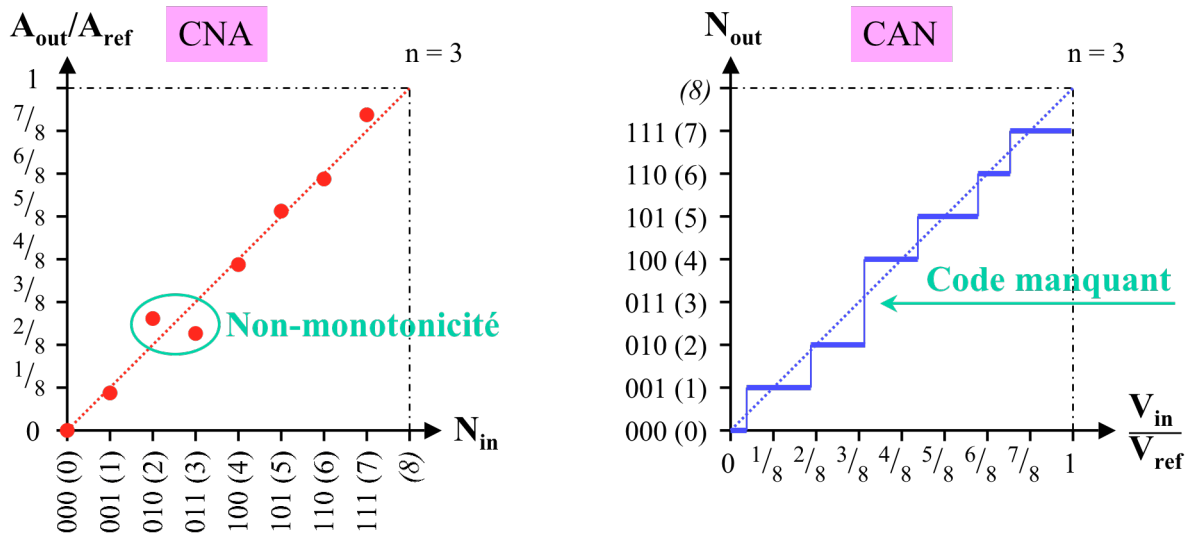
La non-linéarité différentielle correspond à la valeur maximale de l'écart entre chaque "pas" de la caractéristique de transfert réelle et le pas de quantification idéal ou, parfois, le pas moyen résultant des points mesurés. Elle s'exprime en "LSB".



Si le signal et l'échantillonnage ne sont pas corrélés, les non-linéarités différentielles ajoutent du bruit au signal de sortie.

Non-monotonicit  et code manquant

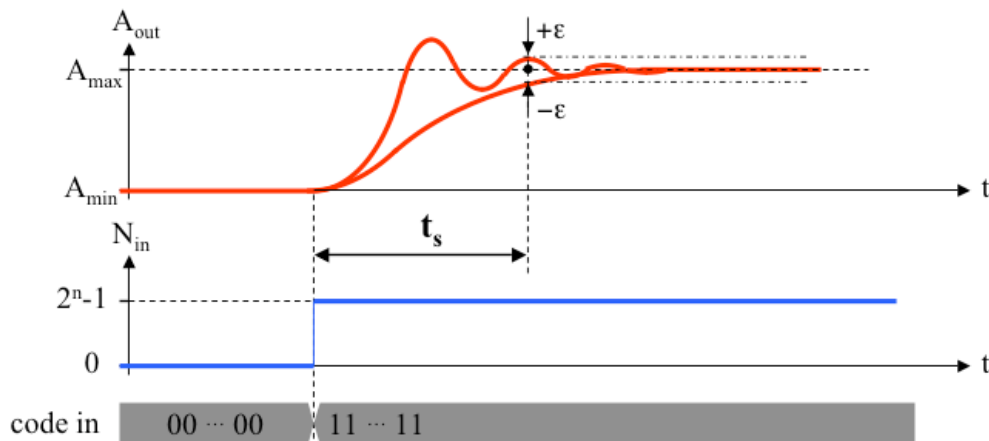
Lorsque la non-lin arit  diff erentielle est sup rieure   1 "LSB", il peut arriver, pour un CNA, que la pente de la caract ristique ne soit plus monotone (inversion locale de la pente), et pour un CAN, qu'une valeur de N_{out} soit saut e et n'apparaissent jamais (code manquant).



1.6. PARAMETRES DYNAMIQUES DES CONVERTISSEURS A/N ET N/A

1.6.1 Temps d' tablissement d'un CNA (settling time)

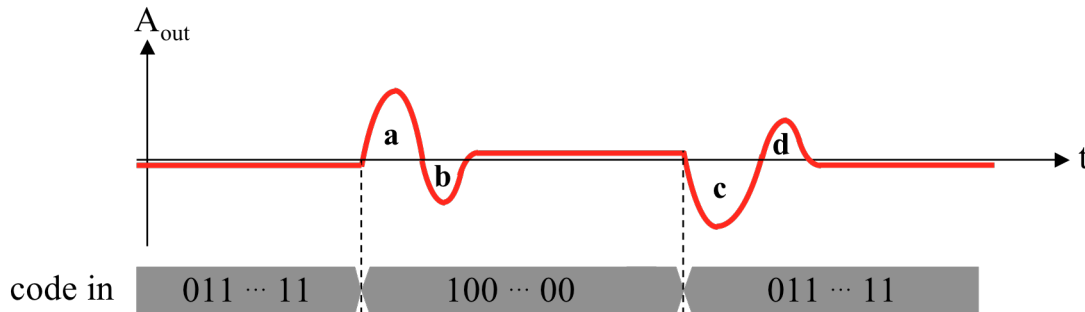
Le "settling time" est le temps que met la sortie analogique pour atteindre sa valeur finale, dans une fourchette sp cifi e,   partir du changement du code d'entr e. Il est en g n ral donn  pour un saut de pleine  chelle, comme illustr  ci-dessous.



1.6.2 "Glitch" d'un CNA

Ce terme désigne un petit transitoire généré par un CNA à chaque changement du code d'entrée. Il est créé par les différences des temps de propagation des circuits associés à chaque bit.

Les "glitches" les plus marqués se produisent généralement au milieu de la dynamique, lorsque tous les bits d'entrée changent, comme illustrés par la figure suivante.

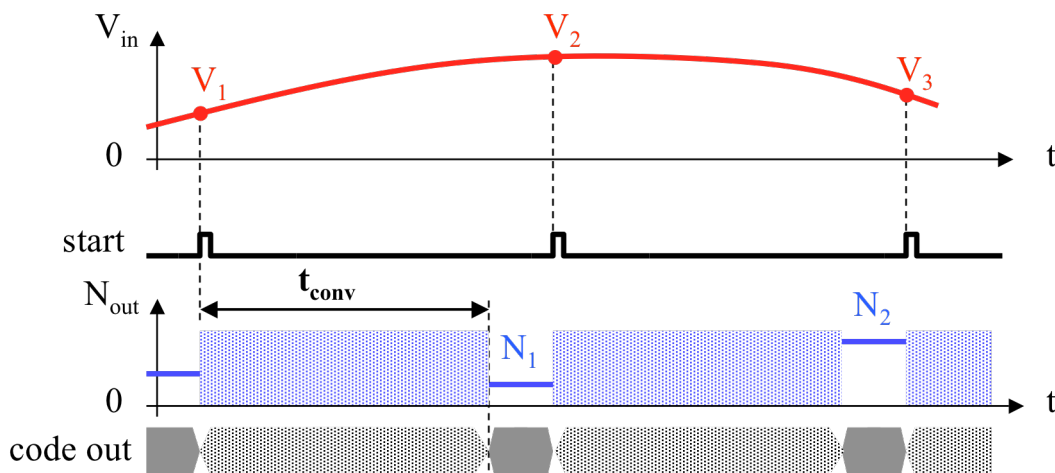


Les spécifications de "glitch impulses" sont les surfaces a, b, c et d, en pV·s.

Pour un signal de sortie sinus, les "glitches" les plus forts se présentent à chaque passage par zéro, soit deux fois par période, ce qui provoque des harmoniques paires.

1.6.3 Le temps de conversion d'un CAN

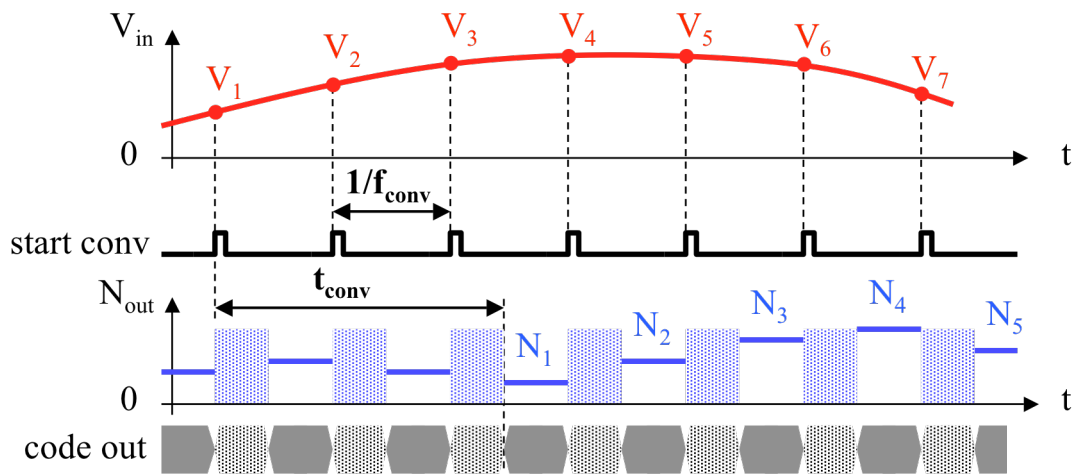
Le temps de conversion d'un CAN est le temps écoulé depuis l'ordre de début de conversion et la délivrance du code de sortie correspondant à la valeur analogique à l'entrée.



1.6.4 Fréquence de conversion (conversion rate, update rate) fréquence d'échantillonnage (sample rate)

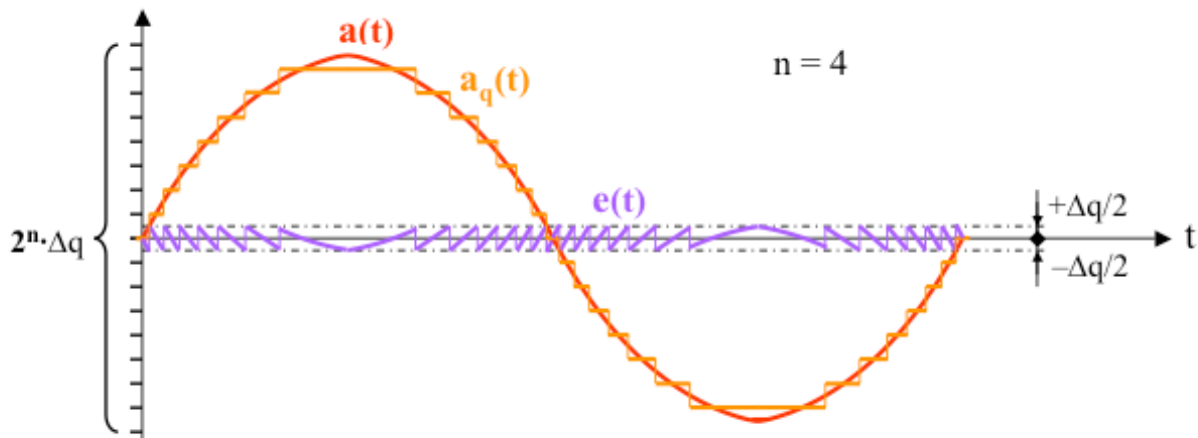
La fréquence de conversion (ou d'échantillonnage) est le nombre maximum de conversions par seconde. C'est aussi la fréquence maximale d'écriture, pour un CNA, ou de lecture, pour un CAN, de nouvelles valeurs numériques. Elle est souvent donnée en Sample/s.

Pour un CAN, la fréquence de conversion peut être supérieure à $1/t_{\text{conv}}$ grâce à des structures parallèles ou en pipeline.



1.6.5 Rapport signal/bruit (Signal-to-Noise Ratio)

Le processus de quantification, même parfait, introduit une erreur d'arrondi, comprise entre plus et moins un demi-pas de quantification. La figure ci-dessous illustre le cas d'un signal sinus de pleine échelle quantifié sur 16 niveaux, ce qui correspond à une conversion avec 4 bits.



L'erreur a une allure quasi triangulaire, sa valeur efficace peut s'exprimer comme:

$$e_{\text{RMS}} = \frac{\Delta q}{\sqrt{12}}$$

La valeur efficace du signal sinus de pleine échelle vaut:

$$a_{\text{RMS}} = \frac{2^n \cdot \Delta q}{2 \cdot \sqrt{2}}$$

Le rapport signal sur bruit est donné par:

$$\text{SNR}_{\text{db}} = 20 \log \left(\frac{a_{\text{RMS}}}{e_{\text{RMS}}} \right) = 20 \log \left(2^n \cdot \frac{\sqrt{3}}{\sqrt{2}} \right) = 6.02 \cdot n + 1.76 \quad [\text{dB}]$$

Un convertisseur réel va générer du bruit supplémentaire, ainsi que de la distorsion. On peut alors définir le rapport signal sur bruit+distorsion (S/(N+D) ou SINAD) qu'on appelle aussi simplement rapport signal sur bruit, sous-entendu réel. Ce SNR réel sera inférieur à l'idéal théorique. On en tire un nombre effectif de bits (effective number of bits) selon la relation:

$$enob = \frac{SNR_{db,réel} - 1.76}{6.02}$$

1.7. INTERFACE NUMERIQUE DES CONVERTISSEURS A/N ET N/A

1.7.1 Interface parallèle

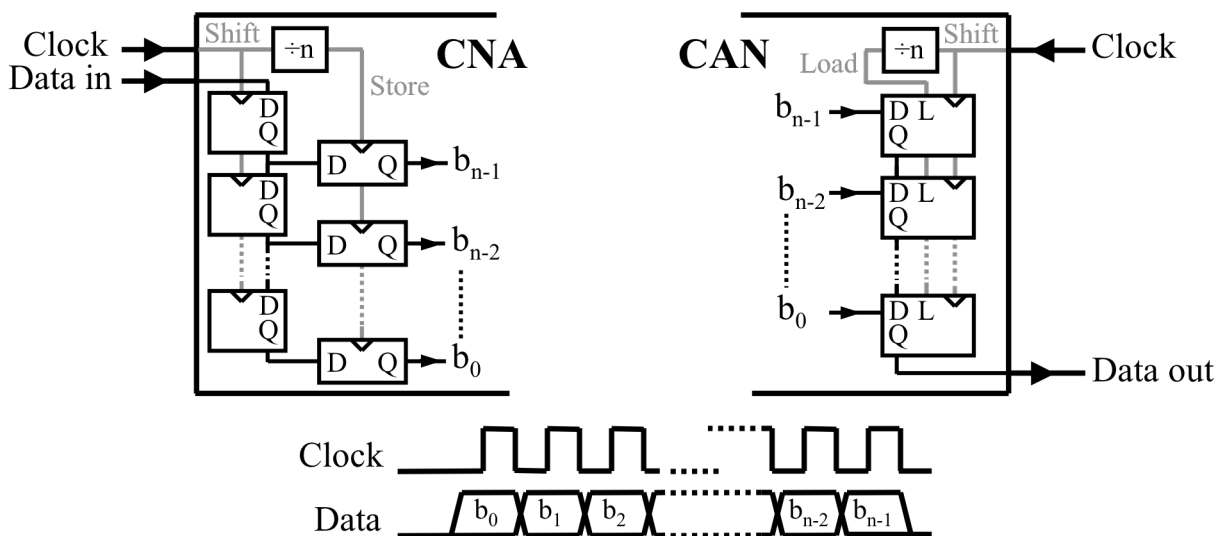
L'interface numérique est constituée d'autant de fils qu'il y a de bits.



L'entrée du CNA peut être équipée d'un registre (ou latch) à n bits. La sortie du CAN peut comporter des drivers 3-state. Ces dispositifs permettent une connexion sur un bus parallèle commun à plusieurs circuits numériques (processeur, mémoire, périphériques divers, ...).

1.7.2 Interface série

L'interface numérique est constituée d'un seul fil sur lequel les bits sont transmis l'un après l'autre. Le plus souvent un deuxième fil est dédié à un signal d'horloge, pour une transmission synchrone.

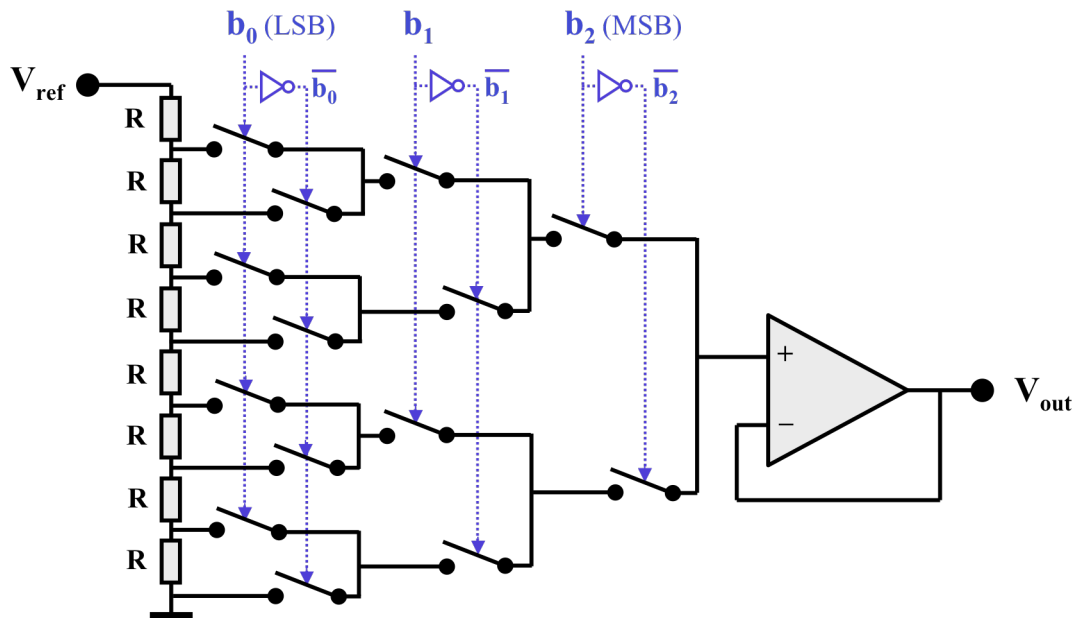


L'interface série permet de réduire le coût du hardware.

2. CONVERSION NUMERIQUE / ANALOGIQUE

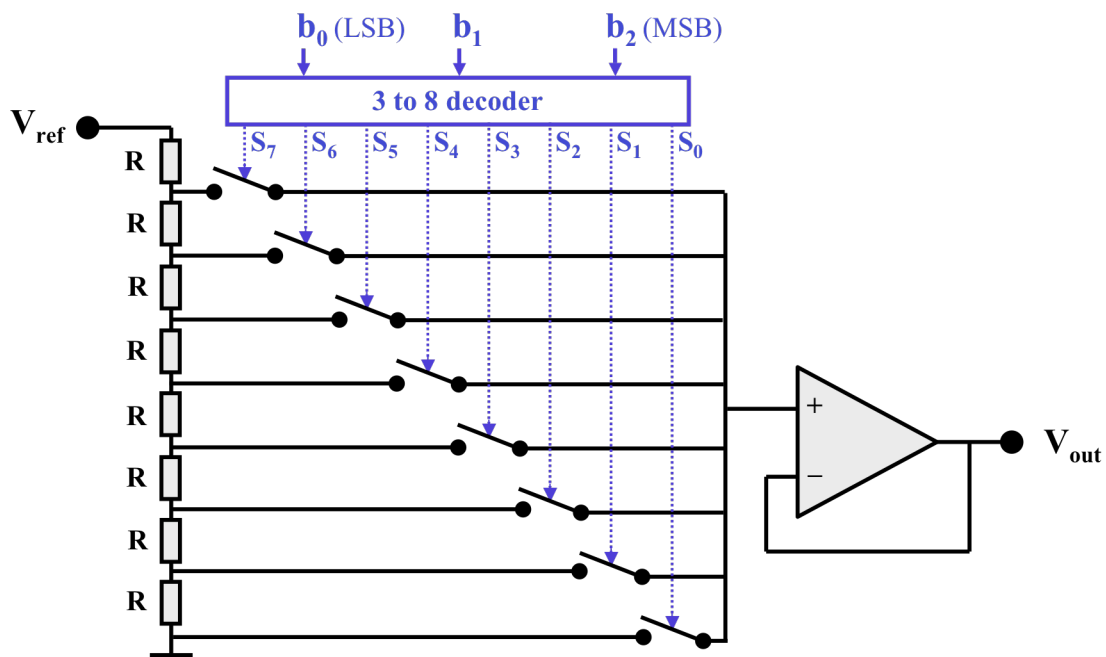
2.1. CONVERTISSEUR N/A POTENTIOMETRIQUE

Le schéma ci-dessous illustre le principe d'un CNA potentiométrique (exemple à 3 bits).



Un diviseur de tension, formé de 2^n résistances égales, génère les 2^n niveaux quantifiés. Un ensemble de switches, formant un arbre de sélection binaire, connecte l'entrée du suiveur de tension au niveau correspondant au code binaire imposé.

Le réseau de $(2^{n+1}-2)$ switches peut être réduit à seulement 2^n switches, commandés chacun par une sortie d'une logique de décodage n vers 2^n . Le schéma ci-dessous illustre cette solution pour $n = 3$.



La tension de sortie vaut:

$$V_{\text{out}} = \frac{V_{\text{ref}}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i = \frac{V_{\text{ref}}}{2^n} \cdot (b_{n-1} \cdot 2^{n-1} + \dots + b_1 \cdot 2^1 + b_0)$$

Avantages:

- les switches sont bien adaptés à une réalisation en technologie CMOS, la résistance série n'influence pas la précision
- la dynamique de sortie est donnée par V_{ref} , sans erreur de gain
- la monotonicité est garantie

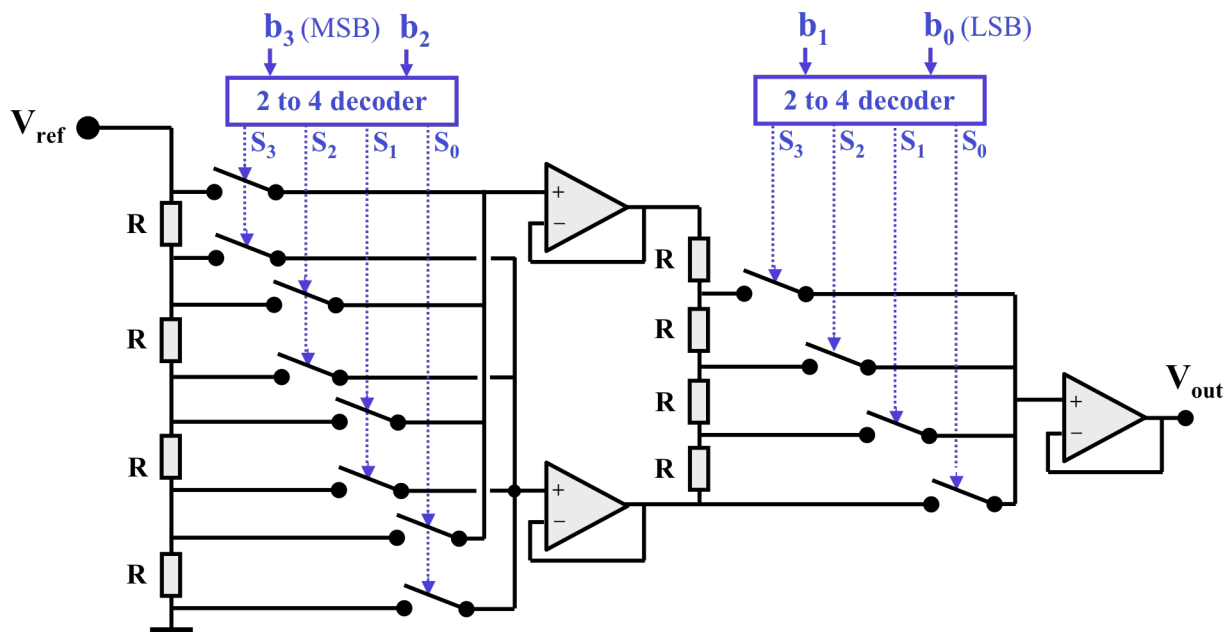
Limitations:

- la linéarité dépend de l'appariement des résistances

Inconvénients:

- Le nombre de composants est élevé, 2^n résistances, avec $(2^{n+1}-2)$ switches (ou 2^n switches + logique de décodage n vers 2^n)

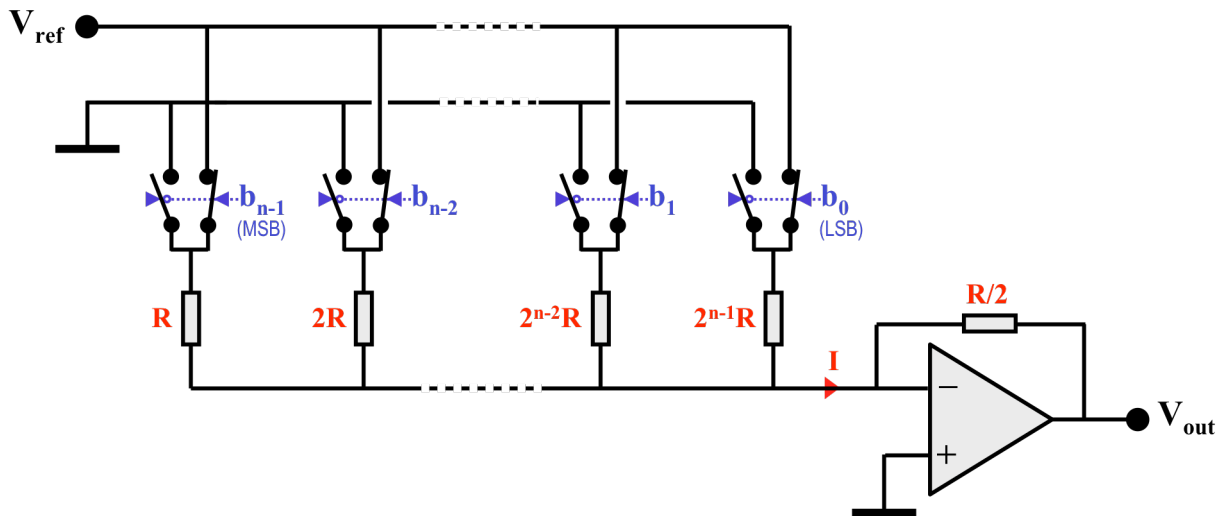
Pour faire un CNA à haute résolution selon ce principe, sans que le nombre de composants soit prohibitif, on utilise deux diviseurs résistifs. Le schéma de principe d'un tel CNA, dit segmenté, est le suivant (exemple à 4 bits):



Le diviseur résistif de gauche divise la pleine échelle en 2^k segments égaux. Les k bits de poids fort sélectionnent un segment. Celui-ci est subdivisé en 2^m valeurs également réparties dans le segment par le diviseur résistif flottant de droite. Les m bits de poids faible sélectionnent une valeur. Le nombre total de valeurs discrètes est de $2^k \cdot 2^m = 2^{k+m}$. Cela correspond à un CNA à $n=(k+m)$ bits.

2.2. CONVERTISSEURS N/A A RESISTANCES PONDEREES

2.2.1. Variante 1 : CNA à résistances pondérées à commutation de tension



Principe:

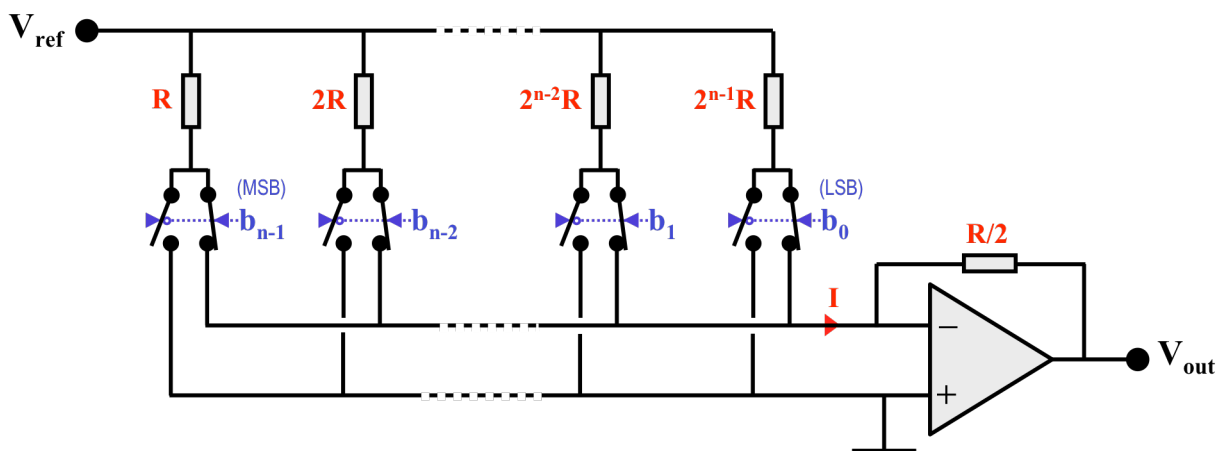
C'est un additionneur analogique à ampli-op. Les résistances sont pondérées suivant les puissances de 2. L'extrémité supérieure de chaque résistance est connectée soit à V_{ref} , soit à 0V, par deux switches commandés par le bit correspondant. Une résistance n'est parcourue par un courant que si le bit correspondant est à "1".

La tension de sortie vaut:

$$V_{out} = -\frac{V_{ref}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i = -\frac{V_{ref}}{2^n} \cdot (b_{n-1} \cdot 2^{n-1} + \dots + b_1 \cdot 2^1 + b_0)$$

La capacité parasite au nœud de connexion de chaque résistances et de ses deux switches, doit être chargée à V_{ref} et déchargée à 0V à travers la résistance d'un switch, ce qui limite la rapidité du circuit.

2.2.2. Variante 2 : CNA à résistances pondérées à commutation de courant



Principe:

C'est un additionneur analogique à ampli-op. Les résistances sont pondérées suivant les puissances de 2. Les résistances sont en permanence parcourues par un courant constant, l'extrémité inférieure

de chacune étant connectée à la masse ou à la masse fictive. Deux switches commandés par le bit correspondant aiguillent le courant vers la masse ou vers le nœud de sommation.

Tous les nœuds sont à des potentiels constants, les capacités parasites ne limitent pas la rapidité de ce circuit, qui est supérieure à celle du circuit à commutation de tension.

Comme pour la version à commutation de tension, la tension de sortie est donnée par:

$$V_{\text{out}} = -\frac{V_{\text{ref}}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i = -\frac{V_{\text{ref}}}{2^n} \cdot (b_{n-1} \cdot 2^{n-1} + \dots + b_1 \cdot 2^1 + b_0)$$

2.2.3. Caractéristiques générales des convertisseurs N/A à résistances pondérées

La précision de ces convertisseurs est directement liée à celle des rapports des résistances, ainsi qu'à leur dérive en fonction du temps et de la température. De plus chaque résistance de pondération est augmentée de celle du switch en série avec elle. Or le rapport extrême entre la plus petite et la plus grande des résistances est de $2^n - 1$, La résistance globale correspondant au MSB ne doit pas s'écarter de plus de $1/2^n$ de la valeur idéale (on néglige -1 par rapport à 2^n).

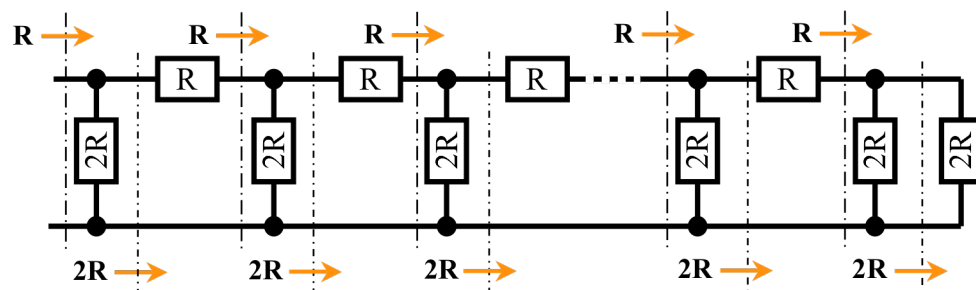
Dans la pratique, $n = 8$ bits est la limite réalisable pour ce type de convertisseurs N/A.

Ce type de convertisseur N/A est particulièrement adapté à la technologie CMOS. Le transistor MOS permet de réaliser un switch quasi idéal, sans tension d'offset et avec une faible résistance.

2.3. CONVERTISSEURS N/A A ECHELLE R/2R

2.3.1. Le réseau en échelle R/2R et ses propriétés

Le réseau en échelle R/2R se présente ainsi:



C'est un réseau régulier, sauf à son extrémité droite où il doit être terminé par une résistance 2R.

Le nombre de cellules identiques peut être quelconque.

Les résistances horizontales et verticales doivent être dans un rapport exact de 2.

Propriété 1 :

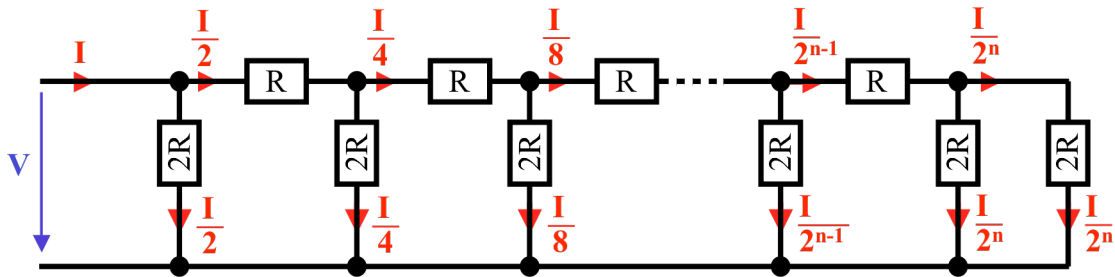
Comme on peut le voir sur le schéma ci-dessus, en remontant de la droite vers la gauche:

- la résistance globale de toute coupe du réseau juste à droite d'un nœud vaut 2R,
- la résistance globale de toute coupe du réseau juste à gauche d'un nœud vaut R.

Les autres propriétés découlent de celle-ci. Les propriétés 3 et 4 se démontrent en partant de la droite et en remontant vers la gauche, par une succession de transformations Thevenin-Norton.

Propriété 2 :

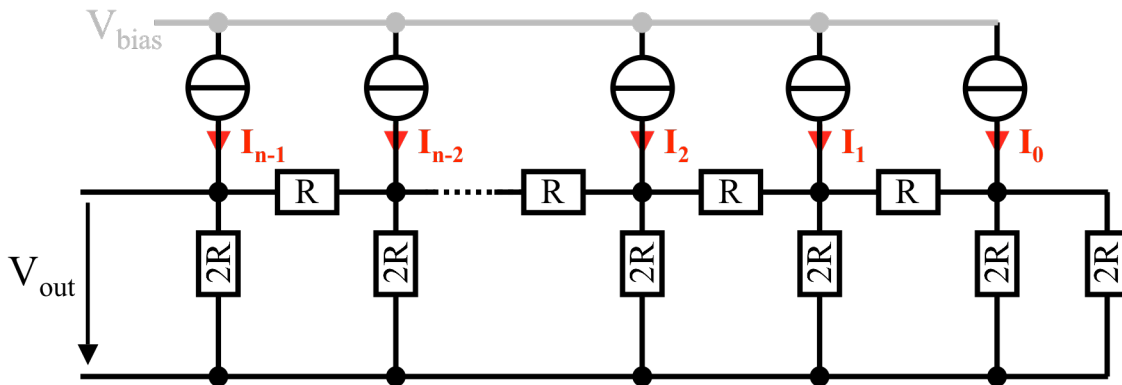
Comme le montre le schéma ci-dessous, à chaque nœud le courant est divisé en deux parts égales.



En conséquence les courants dans les résistances $2R$, sont des fractions en puissance croissante de 2 du courant principal $I = V/R$. La seule exception est le courant dans la terminaison $2R$ tout à droite.

Propriété 3 :

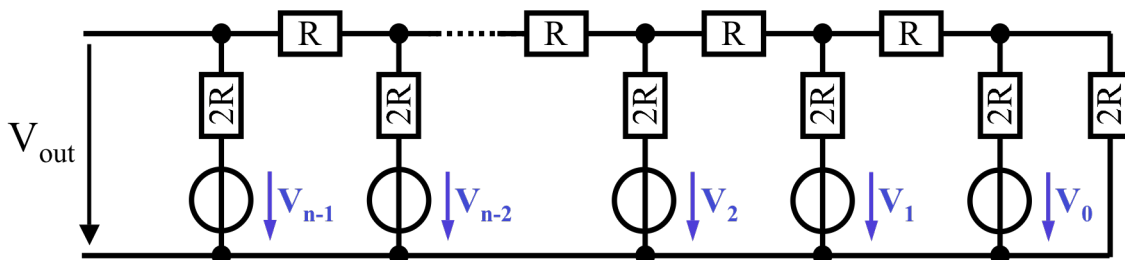
Le circuit du schéma ci-dessous, effectue une somme pondérée de sources de courant avec un facteur de pondération en puissance croissante de $\frac{1}{2}$ selon la position de la source dans le réseau.



$$V_{out} = \sum_{i=0}^{n-1} \frac{R \cdot I_i}{2^{n-1-i}} = \sum_{i=0}^{n-1} \frac{R \cdot I_i}{2^{n-1}} \cdot 2^i = \sum_{i=0}^{n-1} \frac{2R \cdot I_i}{2^n} \cdot 2^i$$

Propriété 4 :

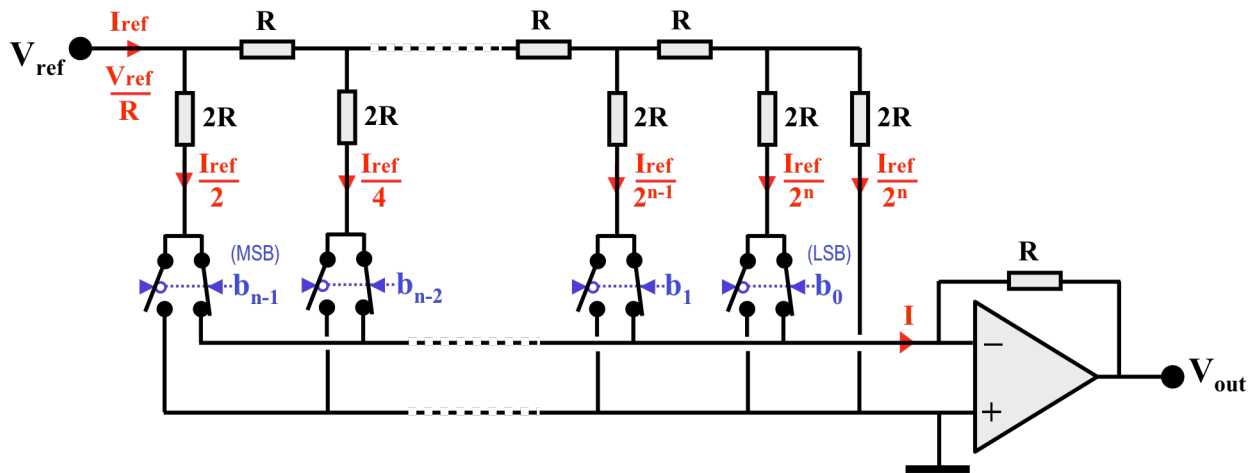
Le circuit du schéma ci-dessous, effectue une somme pondérée de sources de tension avec un facteur de pondération en puissance croissante de $\frac{1}{2}$ selon la position de la source dans le réseau.



$$V_{out} = \sum_{i=0}^{n-1} \frac{V_i}{2^{n-i}} = \sum_{i=0}^{n-1} \frac{V_i}{2^n} \cdot 2^i$$

2.3.2. Variante 1: CNA à échelle R/2R et commutation de courant.

Le schéma de ce grand "classique" est le suivant:



Le pied de toutes les résistances $2R$ est à un potentiel nul, soit la masse, soit la masse virtuelle de l'ampli op. Les courants dans les branches verticales sont donc conformes à la propriété 2 du réseau $R/2R$.

Le courant I est la somme des seuls courants verticaux aiguillés vers la masse fictive, donc de ceux dont le bit correspondant vaut 1, donc:

$$I = \sum_{i=0}^{n-1} I_i \cdot b_i = \sum_{i=0}^{n-1} \frac{I_{\text{ref}}}{2^{n-i}} \cdot b_i = \frac{I_{\text{ref}}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i = \frac{V_{\text{ref}}}{R \cdot 2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i$$

L'ampli op effectue une conversion courant – tension, $V_{\text{out}} = -R \cdot I$, ce qui donne:

$$V_{\text{out}} = -\frac{V_{\text{ref}}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i = -\frac{V_{\text{ref}}}{2^n} \cdot (b_{n-1} \cdot 2^{n-1} + b_{n-2} \cdot 2^{n-2} + \dots + b_2 \cdot 4 + b_1 \cdot 2 + b_0)$$

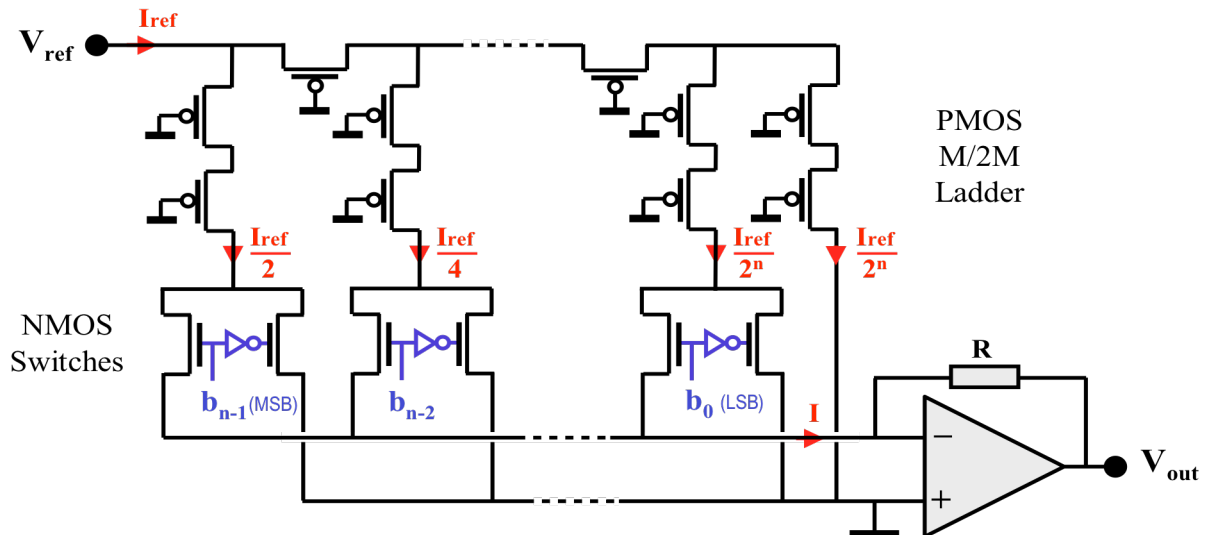
- Avantages:**
- les switches sont bien adaptés à une réalisation en technologie CMOS, la résistance série s'additionne à $2R$, mais il est facile d'avoir R_{ON} suffisamment faible par rapport à $2R$,
 - le rapport des résistances est limité à 2,
 - la commutation de courant assure la rapidité,
 - en technologie CMOS, il est possible de travailler avec une tension V_{ref} variable bipolaire. De tels CNA $R/2R$ sont appelés Multiplying DAC ou MDAC.

- Inconvénients:**
- la polarité de sortie est opposée à celle de la référence, d'où la nécessité de deux alimentations, en général symétriques.
 - en technologie CMOS, les résistances sont coûteuses en surface de silicium.

2.3.3. Variante 2: CNA à échelle M/2M et commutation de courant.

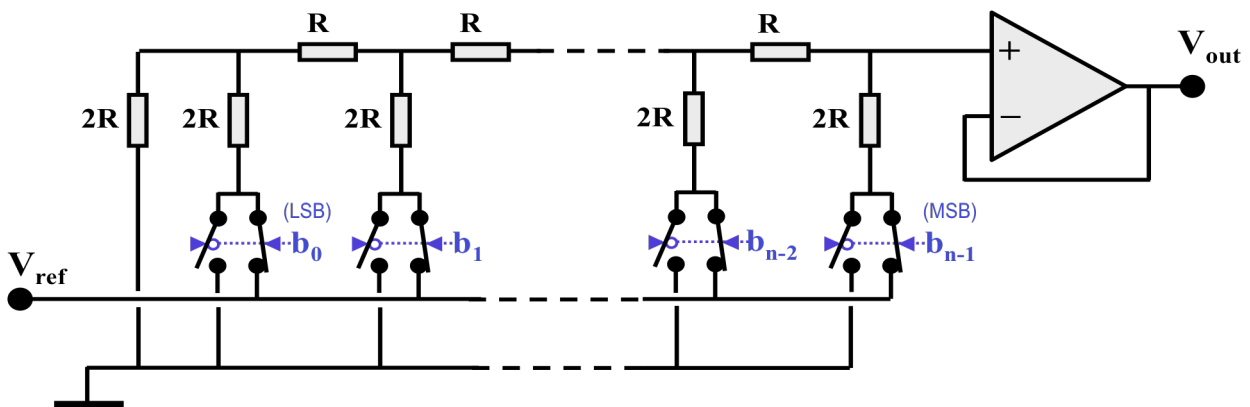
En technologie CMOS, lorsque le coût est un facteur primordial, et que la résolution requise ne dépasse pas 8 bits, les résistances sont remplacées par des transistors PMOS en mode de conduction, car ils nécessitent une surface de silicium bien plus réduite.

Le schéma de principe d'un CNA à réseau M/2M est le suivant:



2.3.4. Variante 3: CNA à échelle R/2R inversée et commutation de tension.

Le schéma de ce CNA est le suivant:



Le réseau R/2R + switches est inchangé, mais, à l'inverse de la "classique" variante 1: V_{ref} est appliqué sur ce qui était la sortie en courant, et V_{out} apparaît là où était l'entrée de référence.

Le résultat découle de la propriété 4 décrite précédemment avec chaque source de tension V_i valant V_{ref} ou $0V$, suivant les positions des deux switches associés au bit b_i correspondant. La tension de sortie du réseau, recopiée en sortie du suiveur de tension, vaut:

$$V_{out} = \frac{V_{ref}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i = \frac{V_{ref}}{2^n} \cdot (b_{n-1} \cdot 2^{n-1} + b_{n-2} \cdot 2^{n-2} + \dots + b_2 \cdot 4 + b_1 \cdot 2 + b_0)$$

Avantages:

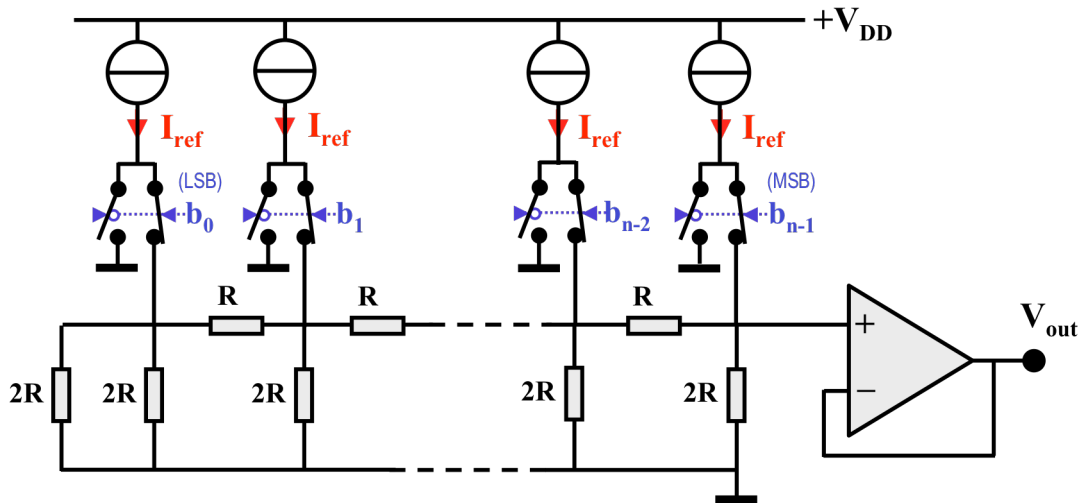
- pour une référence positive, la sortie l'est aussi, permettant d'alimenter tout le circuit avec une unique source positive (single supply).

Inconvénients:

- la commutation de tension est moins rapide que la commutation de courant.

2.3.5. Variante 4: CNA échelle R/2R et commutation de sources de courants identiques.

Le schéma de ce CNA est le suivant:



Le résultat découle de la propriété 3 décrite précédemment, avec chaque source de courant I_i valant I_{ref} ou 0, suivant les positions des deux switches associés au bit b_i correspondant. La tension de sortie du réseau, recopiée en sortie du suiveur de tension, vaut:

$$V_{out} = \frac{I_{ref} \cdot 2R}{2^{n-1}} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i = \frac{I_{ref} \cdot 2R}{2^{n-1}} \cdot (b_{n-1} \cdot 2^{n-1} + b_{n-2} \cdot 2^{n-2} + \dots + b_2 \cdot 4 + b_1 \cdot 2 + b_0)$$

- Avantages:**
- la résistance des switches n'a plus d'influence sur la précision
 - les deux switches associés à la source de courant peuvent aussi être remplacés par un aiguillage à paire différentielle (voir 2.4.1), réalisable aussi bien en technologie bipolaire que MOS.
- Inconvénients:**
- des sources de courant à haute impédance de sortie sont nécessaires. En effet, plus on s'approche de la sortie, plus les sources débitent sur un noeud dont le potentiel est variable. Or, ces sources correspondent aux bits de poids forts.

2.4. CONVERTISSEURS N/A A SOURCES DE COURANT PONDEREES

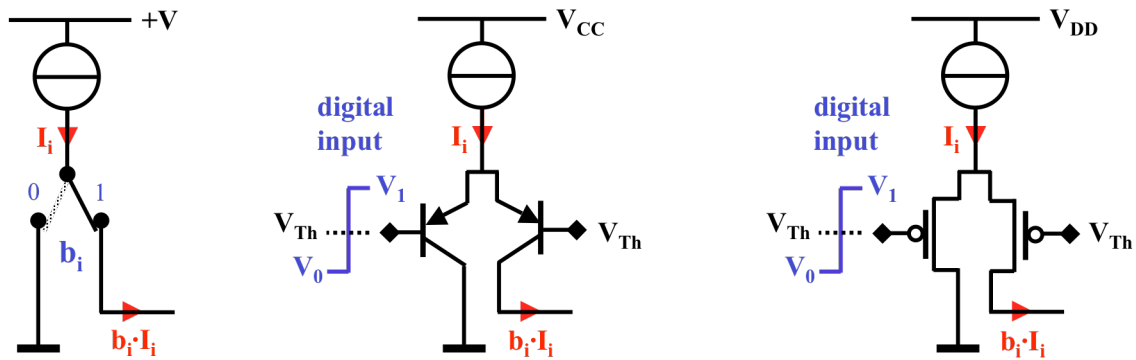
2.4.1. Introduction, pourquoi des sources de courant ?

Dans la plupart des convertisseurs étudiés jusqu'à présent, on a vu que la résistance parasite des switches posait un problème important et limitait la résolution des convertisseurs. Ce problème était lié au fait que les switches se retrouvaient en série dans une branche dont la résistance avait une valeur finie R qui devait impérativement être précise.

Une source de courant présente par contre une impédance de sortie extrêmement élevée. Si la commutation de courant peut s'effectuer à la sortie d'une source de courant, la résistance parasite du switch devient dès lors totalement négligeable devant la résistance propre de la source.

Pour commuter des sources de courant, une paire de switches commandés en opposition par b_i et son inverse \bar{b}_i , peut être avantageusement remplacée par un aiguillage de courant réalisé par une paire différentielle. Cette solution est utilisable tant en technologie bipolaire que MOS.

Réalisation d'un aiguillage (ou commutateur) de source de courant "sortant":

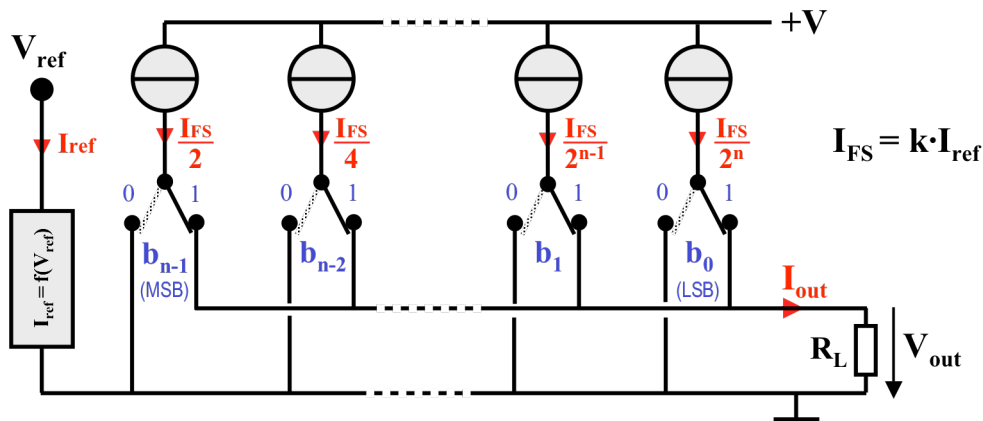


La base ou la grille de droite est à un potentiel de seuil fixe V_{Th} . La base ou grille de gauche est commandée par un signal binaire de valeurs $V_0 < V_{Th}$ lorsque $b_i = 0$, et $V_1 > V_{Th}$ lorsque $b_i = 1$, telles que la tension différentielle d'entrée est suffisante pour que les transistors fonctionnent en tout-ou rien. La totalité du courant est aiguillée dans une des deux branches, tandis que la valeur du courant débité par la source ne change pas, ce qui évite des parasites (ou "glitches") à la commutation.

Un tel aiguillage est aussi réalisable pour un courant "entrant" avec des transistors PNP ou NMOS.

2.4.2. CNA à sources de courant pondérées avec sortie en courant sur charge passive

Le schéma de base d'un CNA à sources de courant pondérées est le suivant:



Le paramètre k est une caractéristique du circuit, qui lie le courant de référence à celui sortie de pleine échelle (Full Scale). Ce dernier est généralement spécifié.

Le courant et la tension de sortie valent:

$$I_{out} = \sum_{i=0}^{n-1} \frac{I_{FS}}{2^{n-i}} \cdot b_i = \sum_{i=0}^{n-1} \frac{I_{FS}}{2^n} \cdot b_i \cdot 2^i = \frac{I_{FS}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i = \frac{I_{FS}}{2^n} \cdot (b_{n-1} \cdot 2^{n-1} + \dots + b_2 \cdot 4 + b_1 \cdot 2 + b_0)$$

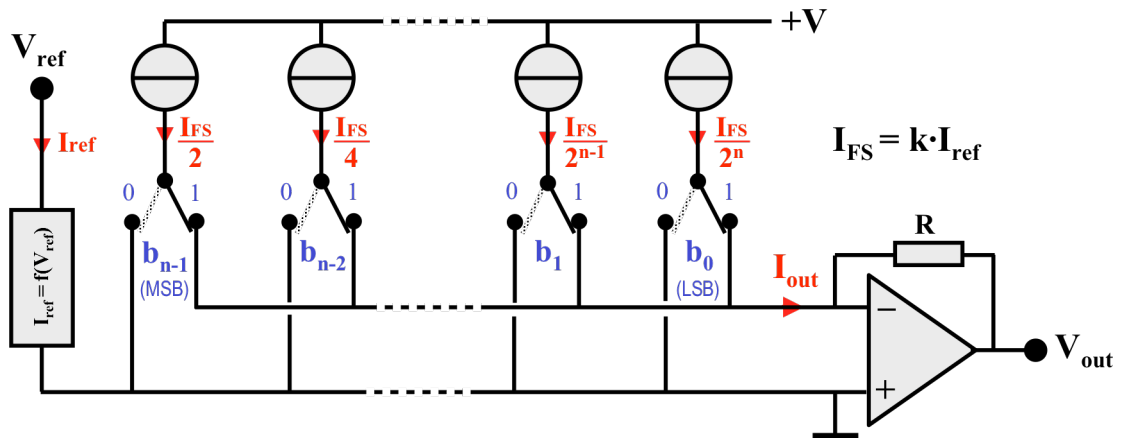
$$V_{out} = R_L \cdot I_{out} = \frac{R_L \cdot I_{FS}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i = \frac{R_L \cdot I_{FS}}{2^n} \cdot (b_{n-1} \cdot 2^{n-1} + \dots + b_2 \cdot 4 + b_1 \cdot 2 + b_0)$$

Avec un courant I_{FS} de quelques mA à quelques dizaines de mA et une charge R_L inférieure au $k\Omega$, voire 50Ω , de tels CNA sont les plus rapides réalisables.

2.4.3. CNA à sources de courant pondérées et ampli op avec sortie en tension

Dans la précédente réalisation avec une charge passive, la chute de tension aux bornes des sources de courant se modifie en fonction du code de commande. En raison de la conductance de sortie non-nulle des sources de courant réelles (effet Early des transistors), le courant débité par celles-ci peut donc légèrement varier, ce qui constitue une première limite à la précision atteignable par ce principe.

Pour éviter ce phénomène, on utilise un amplificateur opérationnel, ce qui permet de faire débiter les sources soit sur un noeud à un potentiel toujours nul (masse ou masse fictive), selon le schéma suivant:



La tension de sortie vaut:

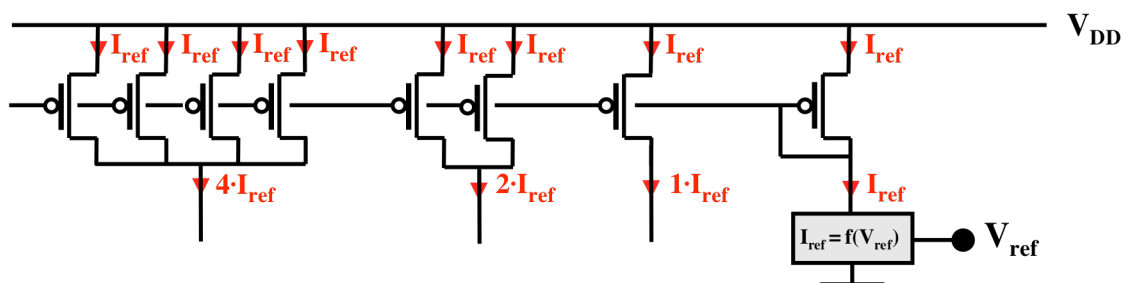
$$V_{\text{out}} = -R \cdot I_{\text{out}} = -\frac{R \cdot I_{\text{FS}}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i = -\frac{R \cdot I_{\text{FS}}}{2^n} \cdot (b_{n-1} \cdot 2^{n-1} + \dots + b_2 \cdot 4 + b_1 \cdot 2 + b_0)$$

Outre l'inversion du signe de la tension de sortie, l'ampli op introduit aussi sa propre limite à la vitesse du circuit.

2.4.4. Réalisation des sources de courant pondérées en technologie MOS

Les sources de courant pondérées sont faites à l'aide d'un miroir de courant à sorties multiples de rapport croissant en puissance de deux.

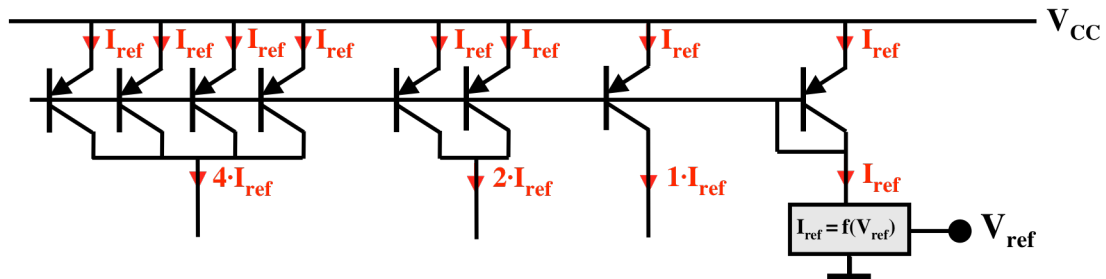
Un tel miroir peut être réalisé avec des transistors MOS selon le schéma suivant (exemple $n = 3$):



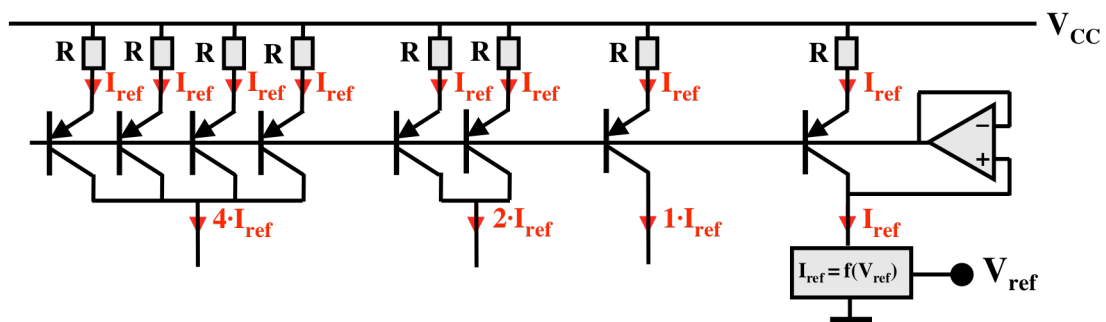
2.4.5. Réalisation des sources de courant pondérées en technologie bipolaire

Les sources de courant pondérées sont faites à l'aide d'un miroir de courant à sorties multiples de rapport croissant en puissance de deux.

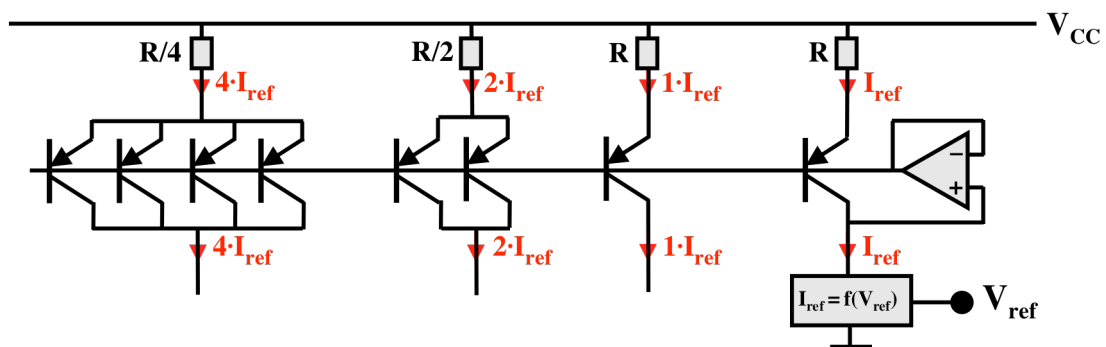
Un tel miroir peut être réalisé avec des transistors bipolaires PNP selon le schéma suivant (exemple $n = 3$):



A cause de la caractéristique exponentielle des transistors bipolaires, leurs disparités ont une grande influence sur les rapports des courants. Pour diminuer celle-ci, on insère des résistances d'émetteur. En plus, pour réduire l'erreur provoquée par la somme de tous les courants des bases, on modifie l'entrée du miroir. On arrive ainsi à la solution améliorée suivante (cas $n = 3$):

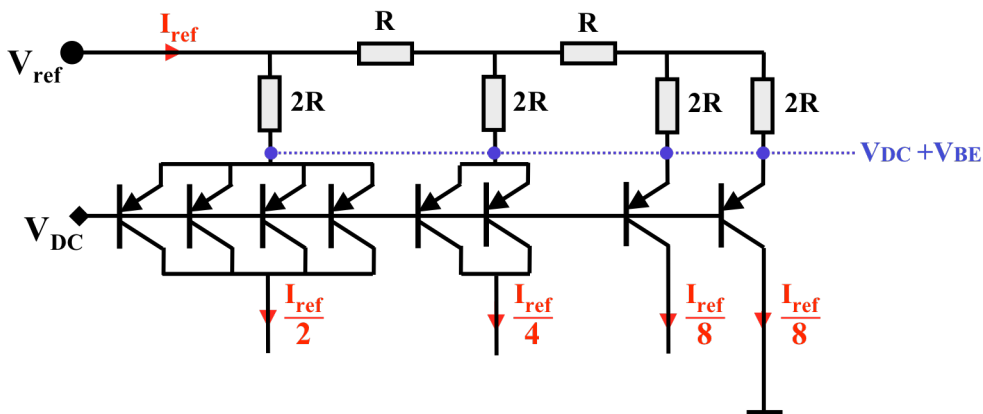


Une première limitation de ce circuit est la surface importante occupée par les 2^n résistances. On peut réduire ce nombre en utilisant des résistances pondérées, ce qui donne le schéma suivant:



Le nombre de résistances est minimal. Mais on retrouve le problème de la précision du rapport extrême (2^{n-1}) des valeurs des résistances pondérées.

Avec un nombre raisonnable de résistances dont le rapport des valeurs est limité à 2, le réseau en échelle $R/2R$ permet de réaliser des sources de courant pondérées selon le schéma suivant:



Tous les transistors étant identiques et parcouru par un courant égal $I_{ref}/2^n$, ils ont tous un même V_{BE} . Par conséquent, tous les émetteurs se trouvent au même potentiel $V_{DC} + V_{BE}$. Donc le pied de toutes les résistances $2R$ se trouvent au même potentiel, même s'ils ne sont pas connectés, et la répartition des courants est conforme à la propriété 2 du réseau $R/2R$. Ces courants se retrouvent directement à la sortie de chaque source.

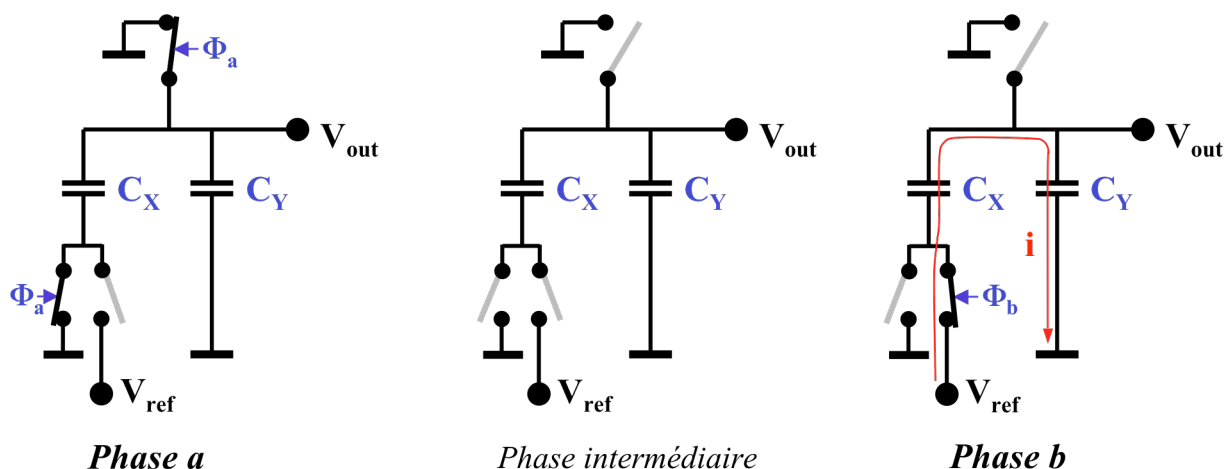
Une autre limitation, commune à tous les circuits bipolaires présentés jusqu'ici, est la surface prohibitive occupée par les 2^n transistors nécessaires pour faire les n sources de courant pondérées en puissance de 2. La solution à ce problème est la segmentation.

2.5. CONVERTISSEURS N/A A CAPACITES PONDEREES

Ces convertisseurs appartiennent à la famille des circuits à capacités commutées. Ils reposent sur le principe de la redistribution de charge entre capacités que l'on commute à l'aide de switches réalisés avec des transistors MOS. Ces circuits sont bien adaptés à une intégration en technologie CMOS.

2.5.1. Variante 1: CNA à capacités pondérées et distribution passive de charge.

Le principe de la distribution passive de charge est illustré par la figure suivante:



Le processus s'effectue théoriquement en 2 phases:

- **phase a:** décharge totale de toutes les capacités

$$V_{\text{out}} = 0 \quad \text{et} \quad Q_X = Q_Y = 0$$

- **phase b:** charge des capacités par la source V_{ref}

le même courant traversant les deux capacités, leur charge finale est égale

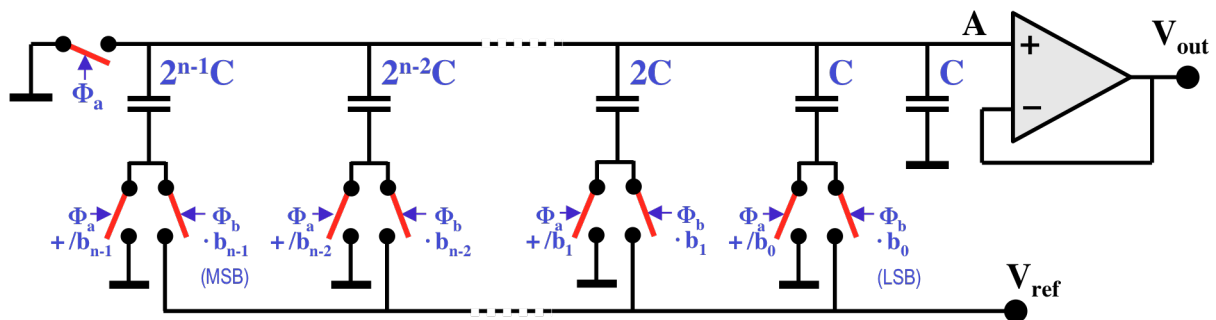
$$Q_X = Q_Y$$

$$(V_{\text{ref}} - V_{\text{out}}) \cdot C_X = V_{\text{out}} \cdot C_Y$$

$$V_{\text{out}} = V_{\text{ref}} \cdot \frac{C_X}{C_X + C_Y} = V_{\text{ref}} \cdot \frac{C_X}{C_{\text{tot}}}$$

Dans la pratique, une phase intermédiaire, d'une durée minimum, est ajoutée entre les deux phases principales, pour garantir que le switch qui court-circuite V_{out} à la masse est ouvert, avant que ne débute la charge, à la fermeture du switch connecté à la référence de tension. Ainsi est assuré, que tout électron qui arrive sur la plaque supérieure de C_X vient de la plaque supérieure C_Y .

Sur la base de ce principe de distribution passive de charge, un CNA à capacités pondérées en puissance de 2 peut être réalisé selon le schéma suivant:



Durant la phase a, toutes les capacités, ainsi que le nœud commun A, sont connectés à la masse. Toutes les capacités sont déchargées.

Durant la phase b, les capacités dont le bit correspondant est à 0 restent connectées à la masse, car $\phi_a + b_i = 1$, celles dont le bit correspondant est à 1 sont connectées à V_{ref} , car $\phi_b \cdot b_i = 1$, La capacité globale connecté à V_{ref} vaut:

$$C_X = \sum_{i=0}^{n-1} b_i \cdot 2^i \cdot C = C \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i$$

La capacité totale, y compris la capacité de terminaison C qui n'est pas commutée, vaut:

$$C_{\text{tot}} = C + \sum_{i=0}^{n-1} b_i \cdot 2^i \cdot C = C \cdot 2^n$$

A la fin de la distribution de charge, potentiel du nœud A, recopié à la sortie du suiveur de tension à ampli op (supposé idéal), vaut:

$$V_{\text{out}} = V_A = V_{\text{ref}} \cdot \frac{C_X}{C_{\text{tot}}} = \frac{V_{\text{ref}}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i$$

Le suiveur de tension à ampli op est nécessaire pour qu'aucun courant ne soit soutiré du nœud A, ce qui fausserait la distribution de charge.

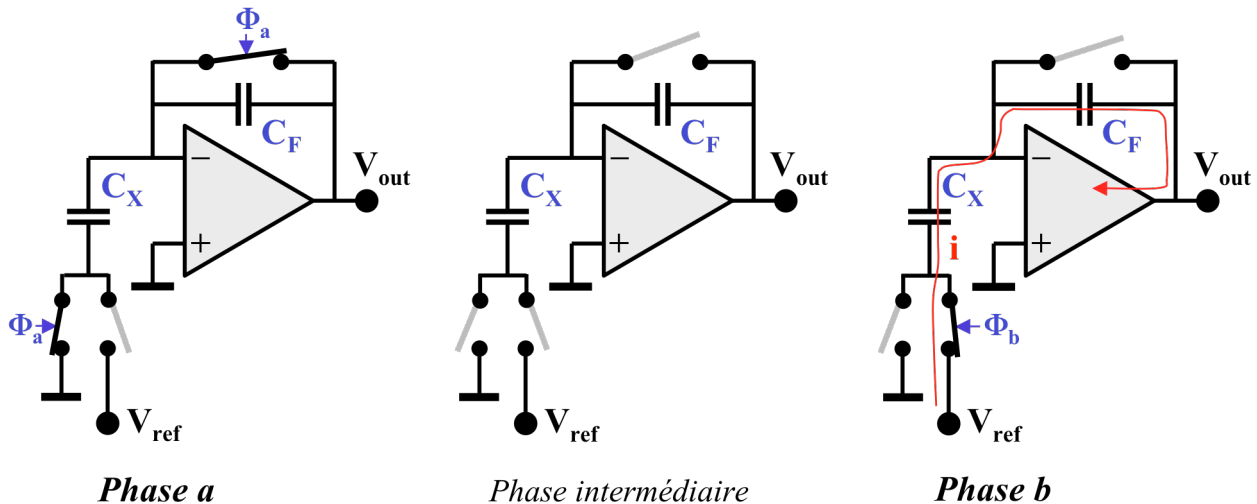
Inconvénients:

- la capacité parasite totale au nœud A introduit une erreur de gain, et de linéarité si elle-même est non-linéaire.

- l'offset de l'ampli op s'ajoute directement à V_A .

2.5.2. Variante 2: CNA à capacités pondérées et distribution active de charge.

Le principe de la distribution active de charge est illustré par la figure suivante:



Le processus s'effectue théoriquement en 2 phases:

- phase a:** décharge totale de toutes les capacités
 $V_{out}=0$ et $Q_X=Q_F=0$
- phase b:** charge des capacités par la source V_{ref} ,
 le même courant traversant les deux capacités, leur charge finale est égale

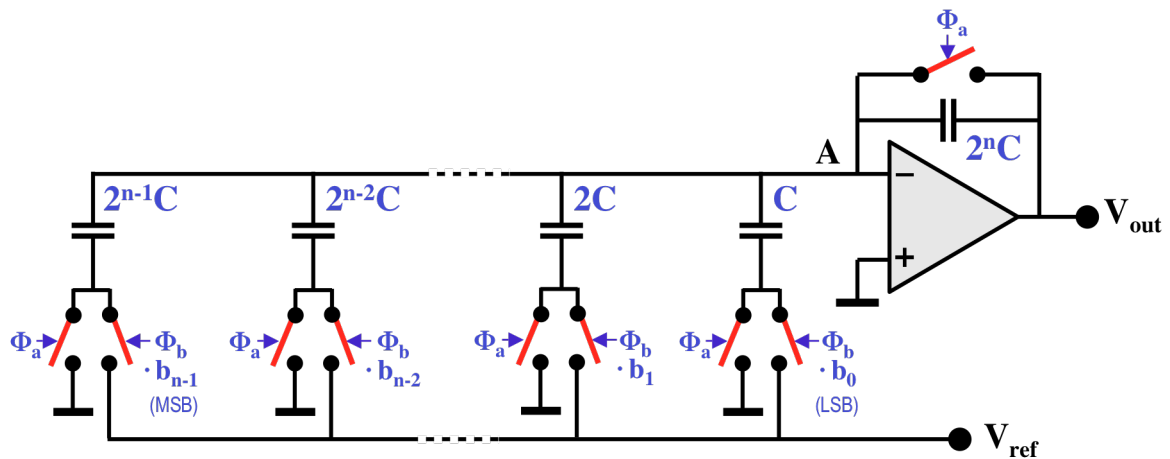
$$Q_X=Q_F$$

$$V_{ref} \cdot C_X = -V_{out} \cdot C_F$$

$$V_{out} = -V_{ref} \cdot \frac{C_X}{C_F} = -V_{ref} \cdot \frac{C_X}{C_{tot}}$$

Dans la pratique, une phase intermédiaire, d'une durée minimum, est ajoutée entre les deux phases principales, pour garantir que le switch qui court-circuite C_F est ouvert, avant que ne débute la charge, à la fermeture du switch connecté à la référence de tension.

Sur la base de ce principe de distribution active de charge, un CNA à capacités pondérées en puissance de 2 peut être réalisé selon le schéma de la page suivante.



Durant la phase a, la capacité de réaction est court-circuitée, et toutes les capacités pondérées sont entre la masse et la masse fictive. Elles sont toutes déchargées.

Durant la phase b, les capacités dont le bit correspondant est à 1 sont connectées à V_{ref} . la capacité globale connecté à V_{ref} vaut:

$$C_X = \sum_{i=0}^{n-1} b_i \cdot 2^i \cdot C = C \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i$$

Si la capacité de contre réaction C_F est égale à $2^n \cdot C$, à la fin de la distribution de charge, le potentiel à la sortie de l'ampli op, vaut:

$$V_{out} = -V_{ref} \cdot \frac{C_X}{C_F} = -\frac{V_{ref}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i$$

Le signe – dans cette expression peut être supprimé par une gestion judicieuse des switches.

Avantage:

- la capacité parasite totale au nœud A n'a pas d'influence car ce point est à un potentiel fixe (masse fictive).

Inconvénients:

- la capacité totale à intégrer, donc la surface occupée, est de $2 \cdot 2^n \cdot C$, soit le double que dans le circuit précédent.
- l'offset de l'ampli op apparaît directement à la sortie.

2.5.3. Caractéristique générales des CNA à capacités pondérées

Les circuits à capacités pondérées sont bien adaptés à la technologie CMOS qui permet de réaliser :

- des capacités de haute qualité, avec des rapports de valeurs bien contrôlés
- d'excellents switches (transistors MOS)

En outre, dans ce type de circuits, la résistance série des switches n'influence que la vitesse de conversion (temps de charge et de décharge des capacités), mais n'affecte pas la précision du résultat final.

La précision des CNA à capacités pondérées est limitée par:

- la précision des rapports des capacités.
- l'injection de charge des interrupteurs: lors de la coupure d'un MOS, une partie des charges de son canal est transférée vers la capacité qu'il contrôle.

3. CONVERSION ANALOGIQUE / NUMERIQUE

3.1. INTRODUCTION

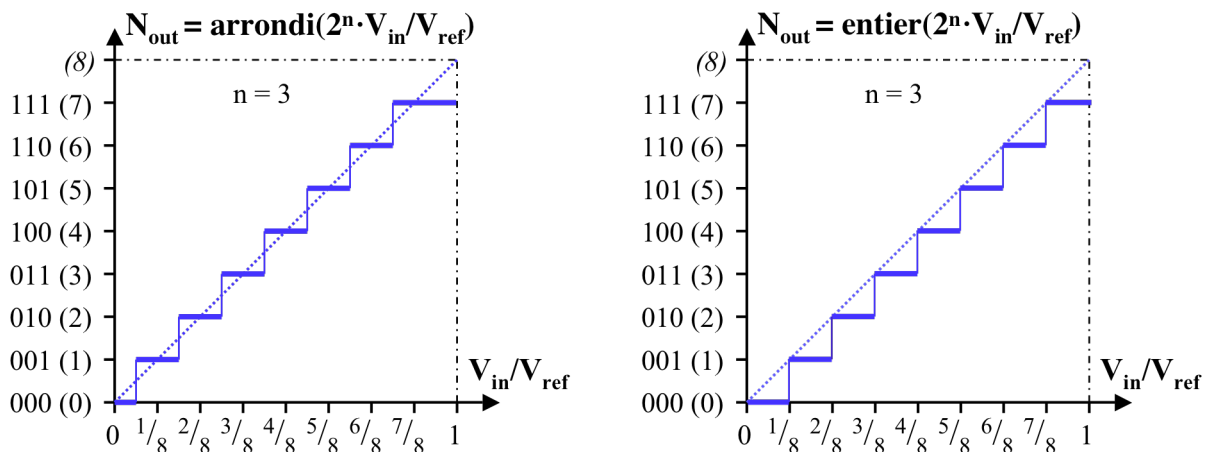
Un convertisseur A/N idéal génère un nombre codé en binaire selon la loi:

$$N_{\text{out}} = \sum_{i=0}^{n-1} b_i \cdot 2^i = \text{arrondi} \left(2^n \cdot \frac{V_{\text{in}}}{V_{\text{ref}}} \right)$$

Certains convertisseurs A/N font l'approximation:

$$N_{\text{out}} = \sum_{i=0}^{n-1} b_i \cdot 2^i = \text{entier} \left(2^n \cdot \frac{V_{\text{in}}}{V_{\text{ref}}} \right)$$

Cela génère une erreur d'offset systématique d'un demi-pas de quantification, comme le montre la figure ci-dessous (exemple à 3 bits). Cette erreur est d'autant moins significative que le nombre n de bits est élevé.



De manière générale, les convertisseurs A/N peuvent être caractérisés par leur précision, leur vitesse de conversion et leur coût en surface et consommation. D'un point de vue algorithmique, on peut les diviser en quatre familles, suivant le principe de base utilisé:

- intégration
- approximations successives
- "flash" et dérivés
- modulation sigma-delta

Bien entendu, ces techniques peuvent être combinées à volonté dans un même convertisseur.

3.2. CLASSIFICATION DES FAMILLES DE CONVERTISSEURS A/N

3.2.1. Convertisseurs A/N à intégration

Principe:

La grandeur analogique d'entrée est convertie en une durée selon une loi proportionnelle, cette durée est chronométrée pour donner un résultat numérique. La plupart de ces convertisseurs sont basés sur le principe de l'intégration à double pente, qui effectue un rapport des temps d'intégration des grandeurs d'entrée et de référence.

Caractéristiques:

- Haute résolution, haute précision (16 bits ou plus)
- Excellente linéarité différentielle et intégrale
- Temps de conversion assez long: de la milliseconde à plusieurs seconde. Une conversion nécessite l'exécution de 2^n , voire même 2^{n+1} , opérations élémentaires.

Technologie utilisée:

Typiquement la technologie CMOS

Applications typiques:

- Instrumentation de précision
- Télémétrie

3.2.2. Convertisseurs A/N à approximations successives

Principe:

Il est similaire à celui d'une pesée avec des poids sur une balance. On commence par comparer la grandeur analogique d'entrée avec la moitié de la référence, ce qui permet de déterminer le bit de poids le plus fort; on compare ensuite la grandeur d'entrée avec $\frac{1}{4}$ ou $\frac{3}{4}$ de la référence, suivant que le bit résultant de la comparaison précédente était 0 ou 1, ce qui permet de déterminer le bit de poids juste inférieur; et ainsi de suite, réduisant à chaque fois de moitié la plage d'incertitude.

Caractéristiques:

- Résolution moyenne, typiquement de 8 à 14 bits. La précision dépend essentiellement de celle du CNA utilisé dans le système.
- Temps de conversion moyen, typiquement de $1 \mu s$ à $100 \mu s$. Une conversion nécessite l'exécution de n opérations élémentaires.

Technologie utilisée:

Typiquement CMOS, en circuit standard, ou dans un ASIC.

Aussi en technologie bipolaire pour des circuits standards rapides.

Applications typiques:

Les CANs à approximations successives font un excellent compromis entre la précision, la vitesse et le prix. Ils représentent la grande majorité des convertisseurs à usage général.

- Télécommunications
- Traitement du signal
- Interface avec un microprocesseur

3.2.3. Convertisseurs A/N "flash"

Principe:

Il est similaire à la mesure immédiate d'une longueur, par comparaison de celle-ci avec les graduations d'une règle. Les $2^n - 1$ seuils de quantification sont obtenus, à partir de la tension de référence, par un diviseur de tension formé de 2^n résistances identiques. On compare simultanément la tension d'entrée à chaque seuil grâce à autant de comparateurs. La conversion est effectuée en une seule étape, mais le résultat, disponible sous forme d'un code thermomètre (ou bargraph), doit encore être encodé en binaire sur n bits.

Caractéristiques:

- Résolution faible, typiquement de 6 à 8 bits, limitée par la taille du circuit et sa dissipation, à cause du grand nombre de composants.
- Temps de conversion court, typiquement de 1 ns à 1 μ s. Une conversion s'exécute en une seule opération.

Technologie utilisée:

CMOS, BiCMOS et bipolaire.

Applications typiques:

Les CANs "flash" sont les plus rapides.

- Radar
- Traitement numérique rapide du signal
- Oscilloscopie numérique

3.2.4. Convertisseurs A/N à structure "pipeline"

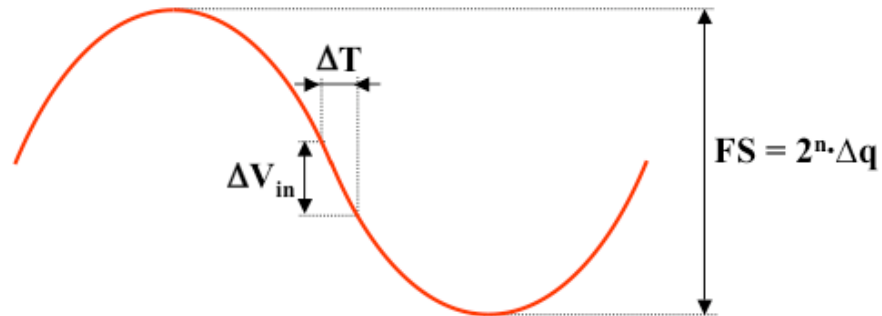
Les CANs à structure pipeline sont dérivés de ceux à approximations successives. Au lieu de traiter un échantillon du signal dans un seul étage au cours de n cycles successifs, on utilise n étages en cascade. L'étage de rang " i " est chargé de déterminer le bit de poids $(n-i)$. C'est le principe du travail à la chaîne: n conversions sont toujours en cours simultanément, mais chacune décalée d'un cycle, un résultat de conversion sort à chaque cycle, mais avec un retard de n cycles sur la prise de l'échantillon analogique.

3.3. FENETRE D'ECHANTILLONNAGE, SAMPLE & HOLD

3.3.1 Durée de la fenêtre d'échantillonnage et précision de la conversion A/N

Le temps de conversion d'un convertisseur A/N dépend du procédé utilisé, de la résolution désirée, et de la consommation de puissance tolérée. Durant l'opération de conversion, la plupart des convertisseurs A/N font plusieurs fois appel à la tension d'entrée à quantifier. Si cette valeur varie durant l'opération, cela peut affecter gravement la qualité du résultat. L'erreur associée s'appelle "erreur d'ouverture". L'objectif est que cette erreur ne dépasse pas le pas de quantification.

Prenons pour exemple un signal sinus d'amplitude égale à la pleine échelle du CAN:



En faisant une approximation du premier ordre, la variation de la tension d'entrée ΔV_{in} est liée au temps "d'ouverture" ΔT , qui est semblable au temps de conversion t_{conv} , par la relation:

$$\Delta V_{in} = \frac{dv(t)}{dt} \cdot \Delta T = \frac{d(2^{n-1} \cdot \Delta q \cdot \sin(\omega t))}{dt} \cdot \Delta T = 2^{n-1} \cdot \Delta q \cdot \omega \cdot \Delta T \cdot \cos(\omega t)$$

$$\Delta V_{in,max} = 2^{n-1} \cdot \Delta q \cdot \omega \cdot \Delta T = 2^n \cdot \Delta q \cdot \pi \cdot f \cdot \Delta T$$

Si l'on veut que cette variation soit inférieure au pas de quantification Δq , il faut un temps d'ouverture plus court que:

$$\Delta T_{max} = \frac{1}{2^n \cdot \pi \cdot f}$$

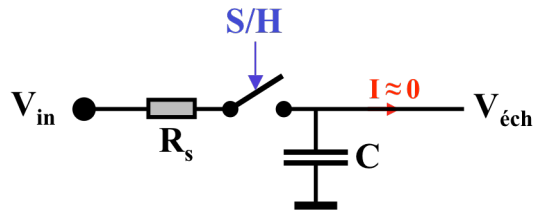
ΔT_{max} représente le temps maximum durant lequel la conversion doit se dérouler. Dans la pratique cela conduit à des temps de conversion irréalistes. Par exemples:

- application audio de qualité moyenne: $f = 10 \text{ kHz}$, $n = 12 \text{ bits} \Rightarrow t_{conv} < 7.8 \text{ ns}$
- oscilloscope numérique: $f = 100 \text{ MHz}$, $n = 8 \text{ bits} \Rightarrow t_{conv} < 12.4 \text{ ps} !$

Pour éliminer cette contrainte, on utilise un circuit échantillonneur-bloqueur (Sample-Hold) en amont du convertisseur, pour fournir à l'entrée de ce dernier une tension constante durant tout le temps de conversion. La seule exigence à respecter est alors le théorème d'échantillonnage, qui impose une fréquence d'échantillonnage d'au moins 2 fois la composante fréquentielle maximum du signal à échantillonner. Pour les deux exemples précédents, le temps de conversion maximum devient $50 \mu\text{s}$ pour l'application audio, et 5 ns pour l'oscilloscope numérique, ce qui est réalisable.

3.3.2 Sample-Hold en boucle ouverte

Le Sample-Hold le plus simple est le suivant:



La résistance R_s représente la somme de la résistance interne de la source du signal V_{in} et de la résistance de passage du switch.

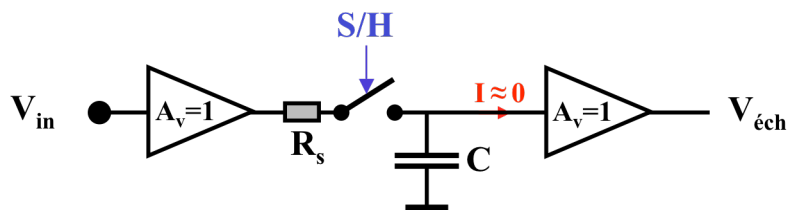
Lorsque le switch est fermé (Sample), après un transitoire d'acquisition, $v_{éch}(t)$ tend à être égal à $v_{in}(t)$, pour autant que le spectre de ce dernier soit borné à une valeur bien inférieure à $1/2\pi R_s C$.

Lorsque le switch est ouvert (Hold), $V_{éch}$ reste constant, égal à sa valeur à l'instant de l'ouverture du switch, pour autant que le courant de décharge soit suffisamment faible.

Pour assurer une décharge minimale de la capacité en mode Hold, un suiveur de tension (Buffer) à haute impédance d'entrée est souvent ajouté après la capacité.

Pour assurer une valeur de R_s faible, et donc une acquisition rapide et une large bande passante, ce circuit simple est souvent précédé d'un suiveur de tension (Buffer) à fort courant de sortie.

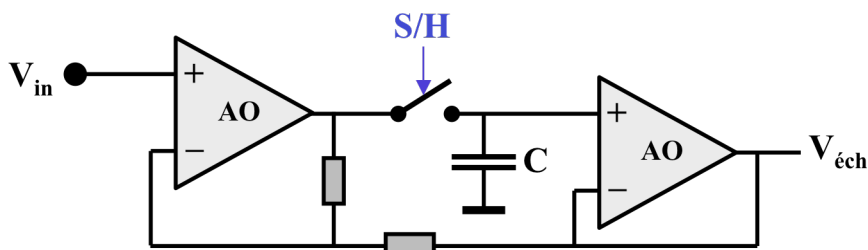
Le schéma d'un Sample-Hold en boucle ouverte est le suivant:



Le principal défaut de cette structure est sa relative imprécision, car les erreurs d'offset et de non-linéarité du switch, ainsi que les erreurs de gain et d'offset des deux suiveurs de tension s'ajoutent.

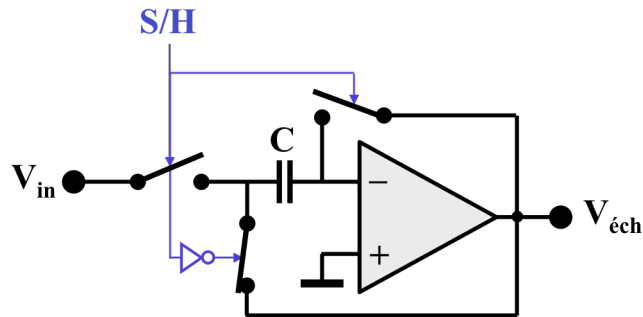
3.3.3 Sample-Hold en boucle fermée

De nombreuses solutions existent permettant d'améliorer la précision et/ou la rapidité par une structure en boucle fermée. Un exemple est donné dans schéma suivant:

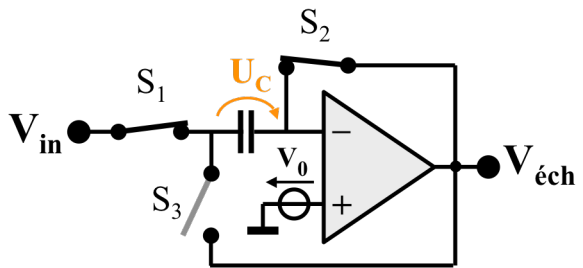


3.3.4 Sample-Hold à capacité commutée

Le schéma de ce circuit, bien adapté à une intégration en technologie CMOS, est le suivant:



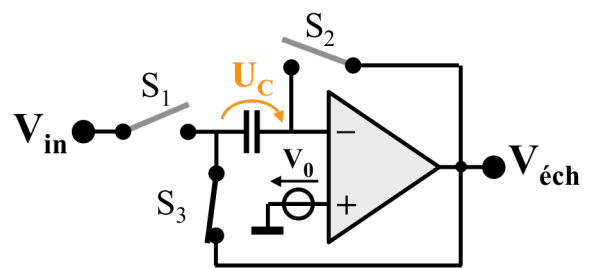
Le fonctionnement est analysé ci-dessous, avec V_0 modélisant la tension d'offset en entrée de l'AO, plus une éventuelle polarisation:



Sample

$$V_{\text{éch}} = V_0$$

$$U_C = V_{\text{in}} - V_{\text{éch}} = V_{\text{in}} - V_0$$



Hold

$$U_C = V_{\text{in}}(t_{S \rightarrow H}) - V_0 \text{ inchangée}$$

$$V_{\text{éch}} = V_0 + U_C = V_{\text{in}}(t_{S \rightarrow H})$$

Où $V_{\text{in}}(t_{S \rightarrow H})$ est la valeur de V_{in} à l'instant de l'ouverture de S_1 .

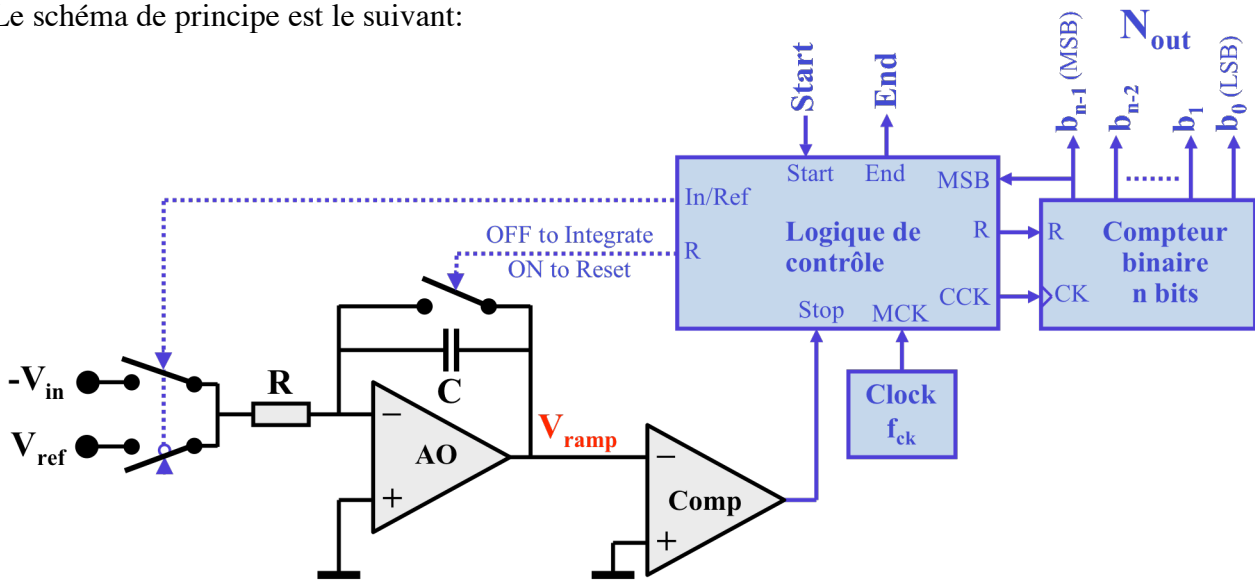
Dans la pratique, une phase intermédiaire, avec tous les switches ouverts, de durée minimum est nécessaire, pour garantir que S_2 soit ouvert avant que S_3 ne se ferme.

Avantage: La tension de sortie ne dépend pas de l'offset de l'AO, ni d'une éventuelle polarisation.

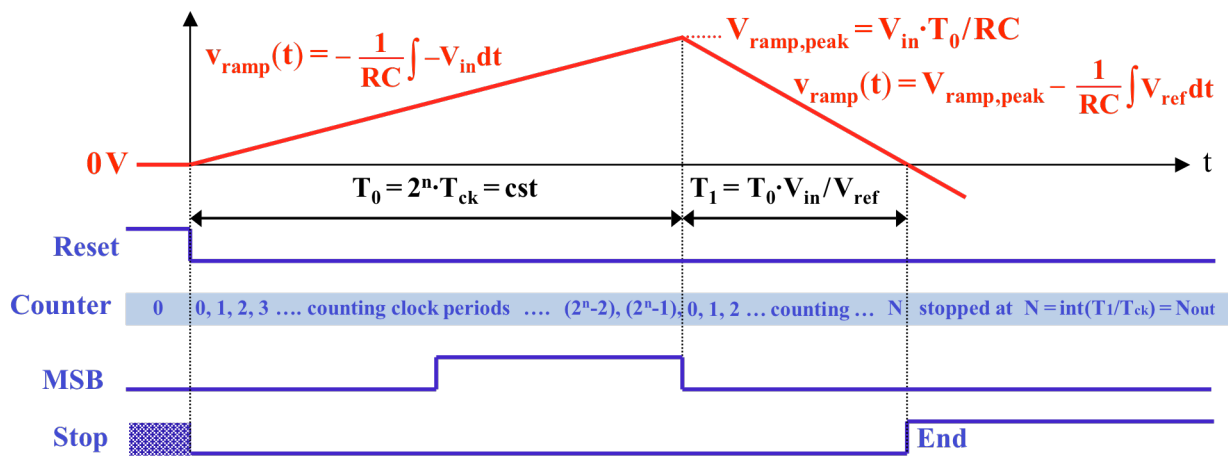
3.4. CONVERTISSEURS A/N A INTEGRATION

3.4.1 CAN à double rampe

Le schéma de principe est le suivant:



Hormis la phase initiale de "reset", durant laquelle la capacité est déchargée, d'où $V_{ramp} = 0$, et l'état du compteur est maintenu à zéro, la conversion, illustrée ci-dessous, se fait en deux étapes:



1. rampe montante par intégration de la tension d'entrée V_{in} durant un temps T_0 fixe, imposé par le système, en général égal à $2^n \cdot T_{ck}$, soit un "tour" complet du compteur; la rampe atteint alors:

$$V_{ramp,peak} = \frac{V_{in} \cdot T_0}{RC} = \frac{V_{in} \cdot 2^n \cdot T_{ck}}{RC}$$

2. rampe descendante depuis la valeur de crête atteinte à l'étape 1, par intégration d'une tension de référence V_{ref} , de signe opposé à V_{in} , durant le temps T_1 nécessaire pour ramener la sortie de l'intégrateur à zéro, et comptage du nombre de périodes de "clock" durant ce temps:

$$T_1 = RC \cdot \frac{V_{ramp,peak}}{V_{ref}} = \frac{V_{in}}{V_{ref}} \cdot T_0 = \frac{V_{in}}{V_{ref}} \cdot 2^n \cdot T_{ck} \Rightarrow N_{out} = \text{entier}\left(\frac{T_1}{T_{ck}}\right) = \text{entier}\left(2^n \cdot \frac{V_{in}}{V_{ref}}\right)$$

Le résultat numérique ne dépend ni de R ni de C, et n'est donc pas influencé par leur précision. En effet, les pentes montante et descendante étant toutes deux inversement proportionnelles à la même constante de temps RC, le rapport des temps de montée et de descente est indépendant de la valeur du produit RC.

Le résultat numérique ne dépend pas non plus de la fréquence d'horloge, et n'est donc pas influencé par sa précision. En effet, les deux temps T_0 et T_1 étant tous deux mesurés avec la même base de temps T_{ck} , leur rapport est indépendant de celle-ci.

Si V_{in} varie durant le temps d'intégration T_0 , le résultat de la conversion correspond à la valeur moyenne de V_{in} durant T_0 . En particulier, si la variation est purement alternative, avec une période correspondant à une fraction entière de T_0 , le résultat numérique y est insensible.

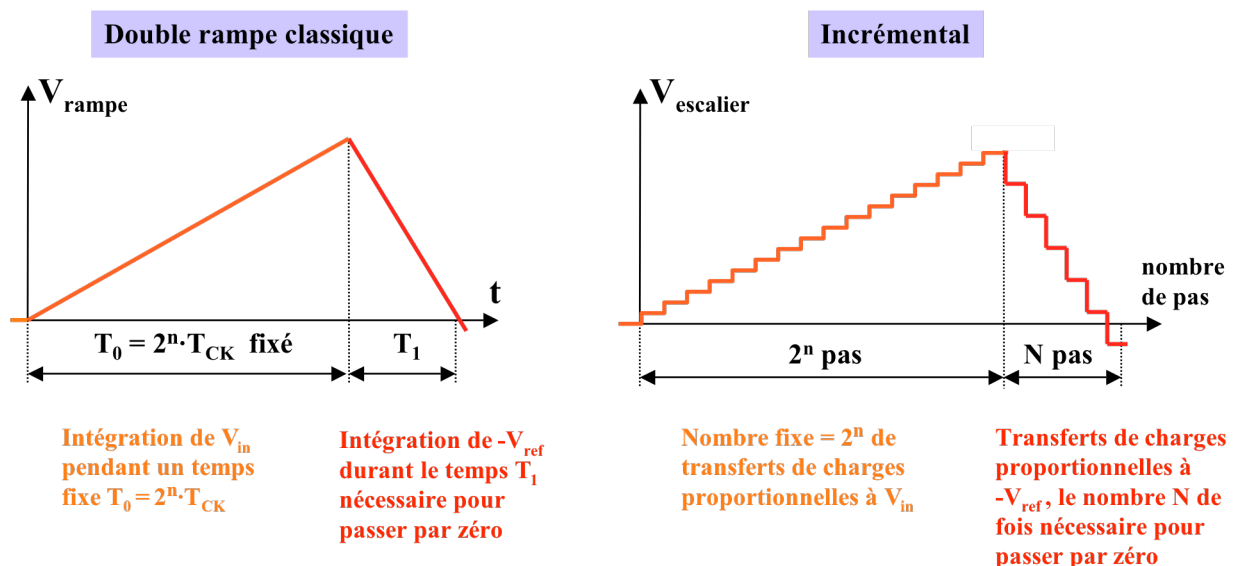
Avec quelques astuces de circuiterie, il est possible de compenser automatiquement l'offset de l'ampli op et du comparateur.

Si le compteur binaire est remplacé par un compteur BCD, le résultat est alors décimal, et peut être affiché grâce à un décodeur BCD - 7 segments. C'est le principe utilisé dans nombre de Volt-mètres à affichage numérique.

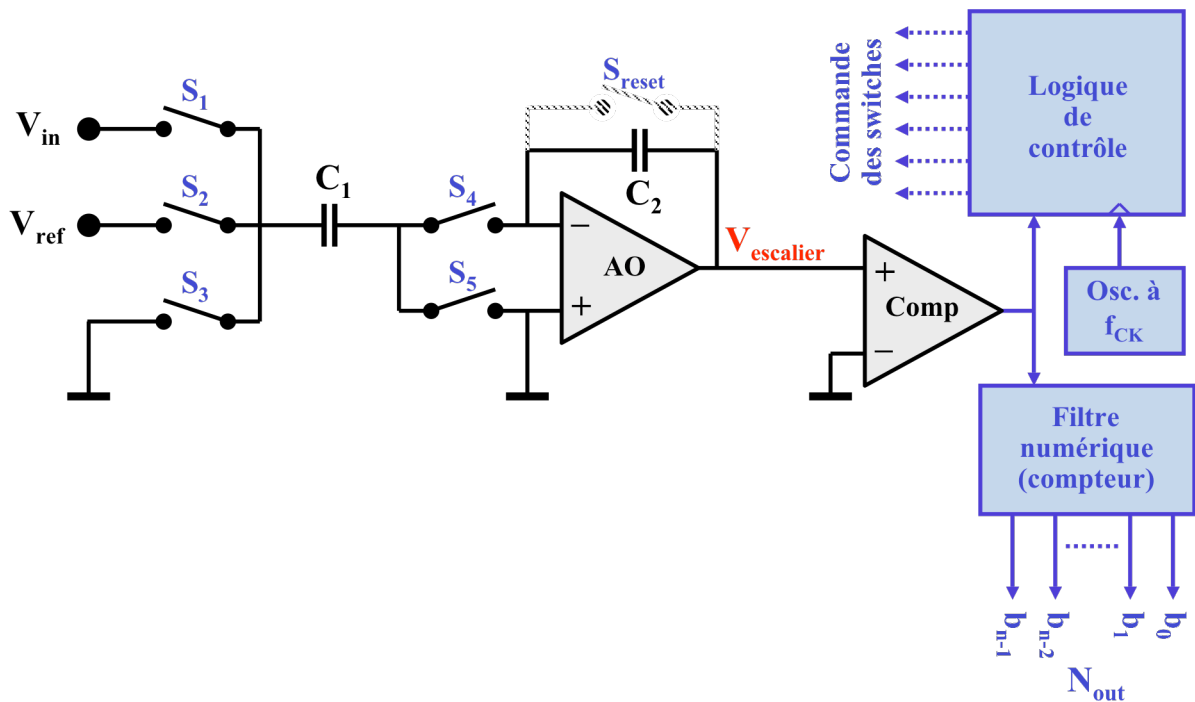
- Caractéristiques:**
- résolution possible de 16 bits, voir plus.
 - temps de conversion important, compris entre 2^n et 2^{n+1} périodes de l'horloge de base, ce qui fait que ce type de convertisseur est principalement utilisé pour la mesure de tensions continues.

3.4.2. CAN à équilibre de charge ou "incrémental"

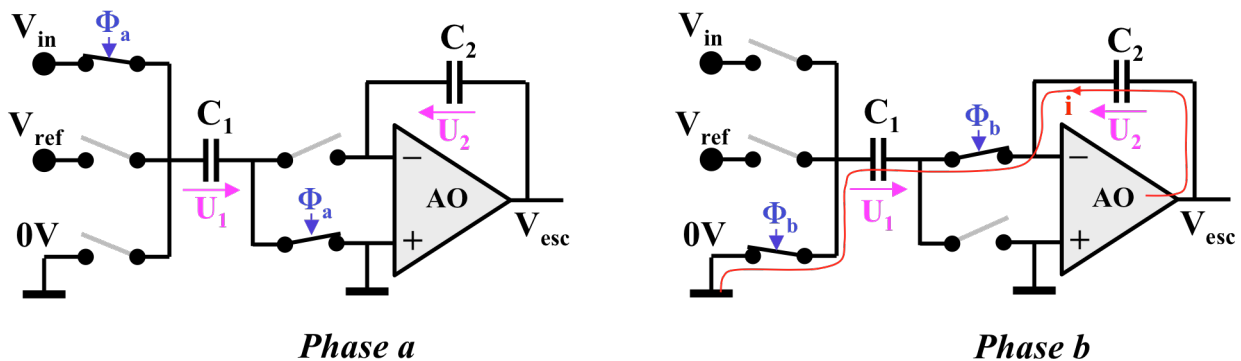
Le CAN incrémental est basé sur le principe de la double rampe, mais avec un intégrateur à capacité commutée. Celui-ci génère des escaliers, à la place de rampes, comme le montre la figure suivante:



Le schéma de principe est le suivant:



Chaque cycle d'intégration de V_{in} se fait selon la procédure suivante:



Durant la phase a, la capacité C_1 stocke une charge $Q_1 = C_1 \cdot V_{in}$, alors que le courant à travers C_2 est nul, et que sa charge reste à la valeur atteinte à la fin du cycle précédent : $Q_2 = C_2 \cdot V_{esc(i-1)}$,

Durant la phase b, la capacité C_1 est court-circuitée, sa charge diminue de $Q_1 = C_1 \cdot V_{in}$, et, comme le même courant traverse C_1 et C_2 , la charge de C_2 augmente de la même valeur, pour atteindre $Q_2 = C_2 \cdot V_{esc(i-1)} + C_1 \cdot V_{in} = C_2 \cdot V_{esc(i)}$; on en déduit que la tension de sortie à la fin du cycle i vaut:

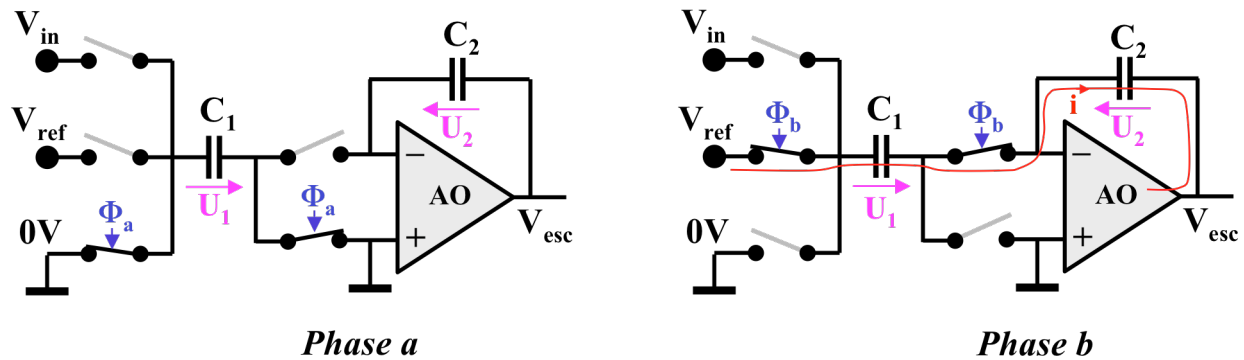
$$V_{escalier}(i) = V_{escalier}(i-1) + \frac{C_1}{C_2} \cdot V_{in}$$

Si, après une phase initiale unique de reset, durant laquelle S_{reset} est fermé, on part d'une valeur initiale nulle, après 2^n cycles, on atteint le sommet de l'escalier de valeur:

$$V_{escalier,peak} = V_{escalier}(i = 2^n) = 2^n \cdot \frac{C_1}{C_2} \cdot V_{in}$$

Dans la pratique, on a une succession de phases a-o-b-o-a-o-b-o-a-..., avec une phase intermédiaire o, durant laquelle tous les switches sont ouverts, pour assurer que la charge de C_2 n'est pas faussée par un recouvrement, même minime, des phases a et b.

Chaque cycle d'intégration de $-V_{\text{ref}}$ se fait selon la procédure suivante:



Durant la phase a, la capacité C_1 est en court-circuit, donc sa charge est nulle, le courant à travers C_2 est nul, et sa charge reste à la valeur atteinte à la fin du cycle précédent: $Q_2 = C_2 \cdot V_{\text{esc}(i-1)}$.

Durant la phase b, la capacité C_1 est chargée à $Q_1 = C_1 \cdot V_{\text{ref}}$, et, comme le même courant traverse C_1 et C_2 , la charge de C_2 diminue de la même valeur, et atteint $Q_2 = C_2 \cdot V_{\text{esc}(i-1)} - C_1 \cdot V_{\text{ref}} = C_2 \cdot V_{\text{esc}(i)}$; on en déduit que la tension de sortie à la fin du cycle i vaut:

$$V_{\text{escalier}}(i) = V_{\text{escalier}}(i-1) - \frac{C_1}{C_2} \cdot V_{\text{ref}}$$

Dans la pratique, on a une succession de phases a-o-b-o-a-o-b-o-a-..., avec une phase intermédiaire o, durant laquelle tous les switches sont ouverts, pour assurer que la charge de C_2 n'est pas faussée par un recouvrement, même minime, des phases a et b.

L'escalier descendant partant du sommet atteint lors de l'intégration de V_{in} , il faudra N cycles pour qu'il passe en dessous de zéro:

$$V_{\text{escalier}}(N) = 2^n \cdot \frac{C_1}{C_2} \cdot V_{\text{in}} - N \cdot \frac{C_1}{C_2} \cdot V_{\text{ref}} \leq 0$$

$$N = 1 + \text{entier}\left(2^n \cdot \frac{V_{\text{in}}}{V_{\text{ref}}}\right)$$

On constate que le résultat ne dépend pas du rapport C_1/C_2 , la précision de ces capacités n'a pas d'influence sur celle du CAN.

Le résultat de la conversion A/N s'obtient simplement en effectuant le comptage binaire de N . Le terme $+1$ disparaît si l'on considère que le premier pas descendant porte le numéro zéro et non un.

Toutefois, pour ce type de CAN, il n'est pas possible de procéder comme pour le convertisseur à double rampe continue, en effectuant la totalité de l'intégration de V_{in} dans une première étape, puis la totalité de l'intégration de $-V_{\text{ref}}$ dans une deuxième étape. En effet, dans le cas où V_{in} est proche de la pleine échelle V_{ref} , après les 2^n cycles d'intégration de V_{in} , V_{esc} atteindrait:

$$V_{\text{escalier,peak,max}} \cong 2^n \cdot \frac{C_1}{C_2} \cdot V_{\text{ref}}$$

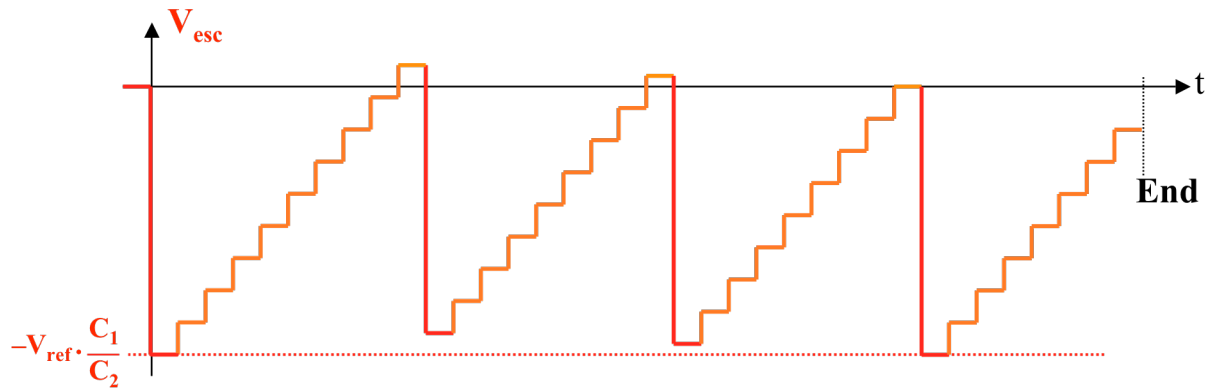
Comme en pratique, pour des raisons de bruit (injection d'horloge), de précision, et de surface de silicium, on ne peut pas travailler avec un rapport de capacités beaucoup plus petit que l'unité, $V_{\text{escalier,peak,max}}$ atteindrait une valeur considérable, totalement irréalisable pour un ampli op en technologie CMOS courante.

La solution adoptée pour limiter la valeur de V_{escalier} consiste à entrelacer les intégrations de V_{in} avec celles de $-V_{\text{ref}}$ selon l'algorithme suivant:

Initialiser $V_{\text{esc}}=0$, \rightarrow boucle: Intégrer une fois $-V_{\text{ref}}$, puis intégrer V_{in} autant de fois que nécessaire pour que V_{esc} repasse au dessus de zéro, alors recommencer la boucle jusqu'à avoir fait 2^n intégrations de V_{in} .

Le résultat de la conversion est le nombre N d'intégrations de V_{ref} .

La tension V_{escalier} a alors l'allure suivante (ex: $n = 5$):



Les valeurs extrêmes de V_{escalier} sont:

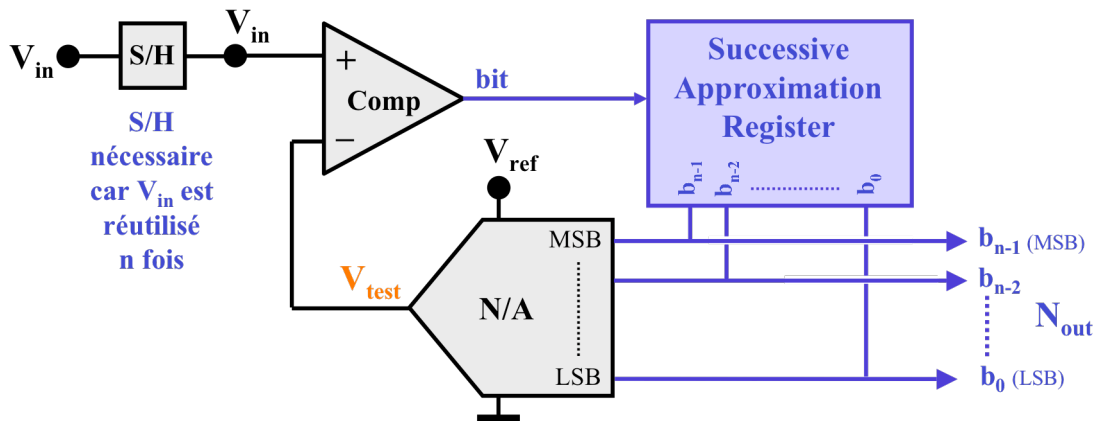
$$-V_{\text{ref}} \cdot \frac{C_1}{C_2} \leq V_{\text{escalier}} \leq V_{\text{in,max}} \cdot \frac{C_1}{C_2} = +V_{\text{ref}} \cdot \frac{C_1}{C_2}$$

- Caractéristiques:**
- temps de conversion important, compris entre 2^n et 2^{n+1} périodes de l'horloge de base, ce qui fait que ce type de convertisseur est principalement utilisé pour la mesure de tensions continues.
 - la précision dépend de l'offset du comparateur et de "l'injection d'horloge" des switches MOS. Ces deux effets peuvent toutefois être compensés par des techniques spéciales, qui ne seront pas abordées ici.
 - résolution possible jusqu'à 16 bits, en circuit intégré, ceci sans ajustage.

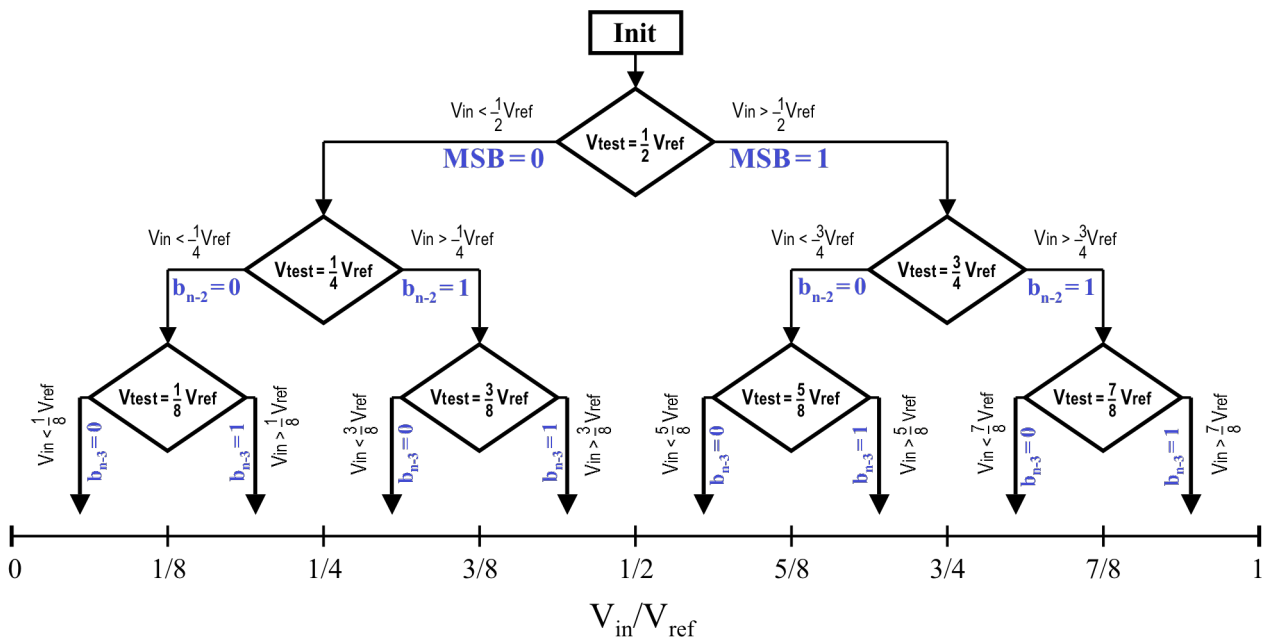
3.5. CONVERTISSEURS A/N A APPROXIMATIONS SUCCESSIVES

3.5.1. Principe général

Les convertisseurs A/N à approximations successives sont des systèmes bouclés construits autour d'une logique générant une valeur numérique, d'un CNA convertissant celle-ci en une tension dite de test, et d'un comparateur de cette tension avec celle d'entrée. Le schéma de principe est le suivant:



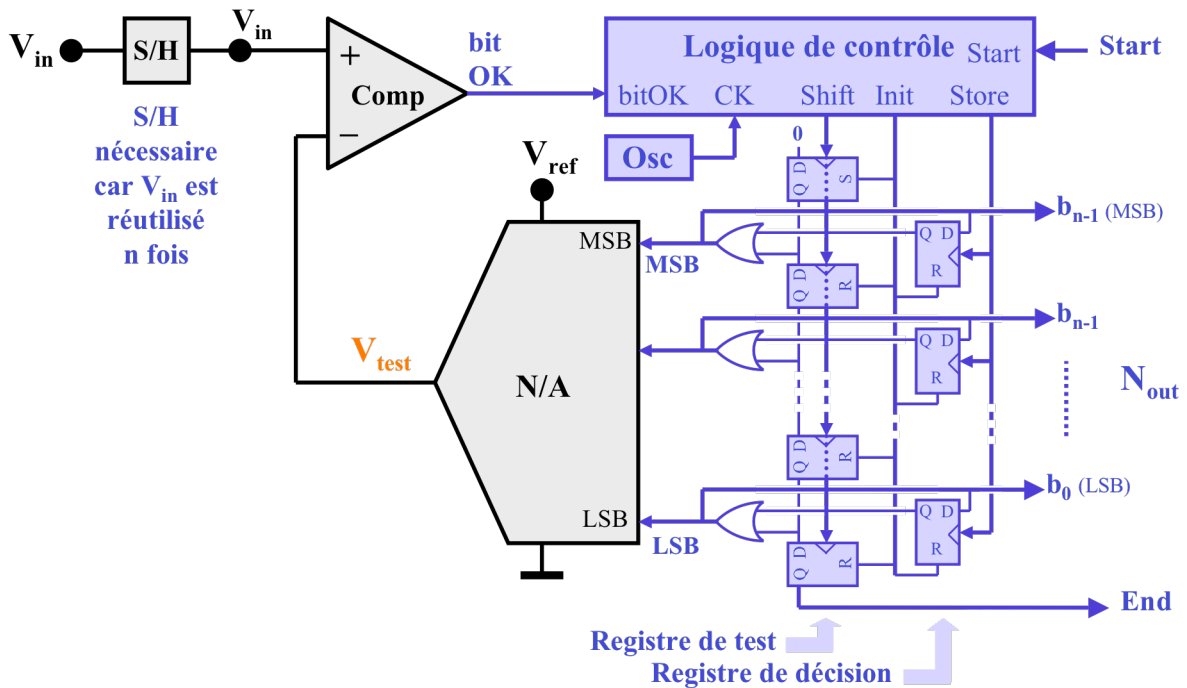
L'algorithme de génération des valeurs de tests successives est le suivant:



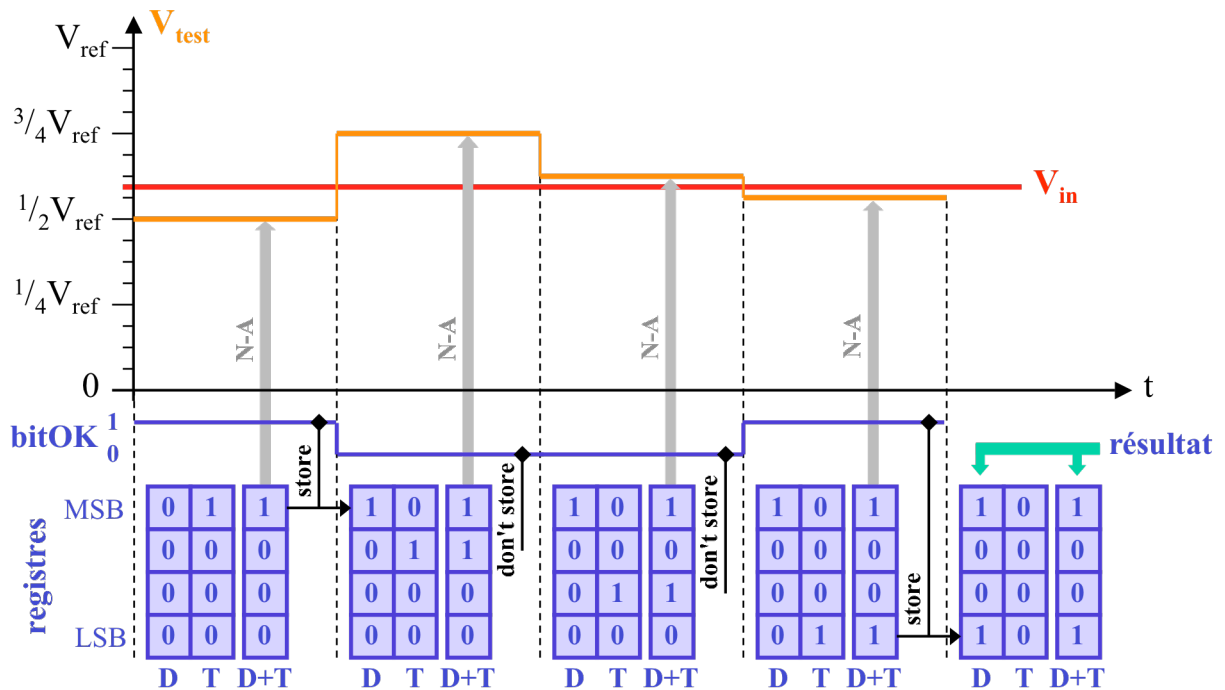
A chaque étape, on réduit de moitié la plage où se situe V_{in} , déterminant donc la valeur d'un bit, en commençant par celui de poids le plus fort. Tous les bits sont déterminés, et la conversion est donc terminée, après n étapes.

La conversion nécessitant la comparaison de V_{in} avec n valeurs successives de V_{test} dans l'intervalle de temps t_{conv} , il est indispensable que la tension d'entrée reste constante sur cette durée. D'où la nécessité d'un Sample-Hold à l'entrée d'un tel CAN.

Un schéma plus détaillé de la logique d'approximation successive est le suivant:



La succession des opérations avec le contenu des registres est la suivante (exemple à 4 bits):



Le premier test, ou première approximation, consiste à mettre provisoirement à 1 le MSB en initialisant à 1 l'étage supérieur du registre à décalage de test, tandis que les autres bits sont initialisés à 0. Cette approximation est convertie en une valeur analogique qui est comparée à la grandeur d'entrée. Le résultat de la comparaison permet de décider si le bit testé doit être mémorisé dans le registre de résultat (registre de décision) comme 1, ou laissé à 0. Cette valeur n'est ensuite plus modifiée.

On teste ensuite le bit de poids immédiatement inférieur en descendant d'un étage le 1 dans le registre à décalage, et en répétant les processus de comparaison et de décision.

Après n étapes, le registre de décision contient le résultat de la conversion.

Si le CNA générant la valeur analogique de test a la caractéristique de transfert classique:

$$V_{\text{test}} = \frac{V_{\text{ref}}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i$$

le résultat de la conversion A/N est:

$$N_{\text{out}} = \sum_{i=0}^{n-1} b_i \cdot 2^i = \text{entier} \left(2^n \cdot \frac{V_{\text{in}}}{V_{\text{ref}}} \right)$$

Pour abaisser les seuils de comparaisons d'un demi-pas de quantification, et compte tenu que la valeur de test $N = 0$ n'est jamais générée, on peut modifier légèrement le CNA pour qu'il donne:

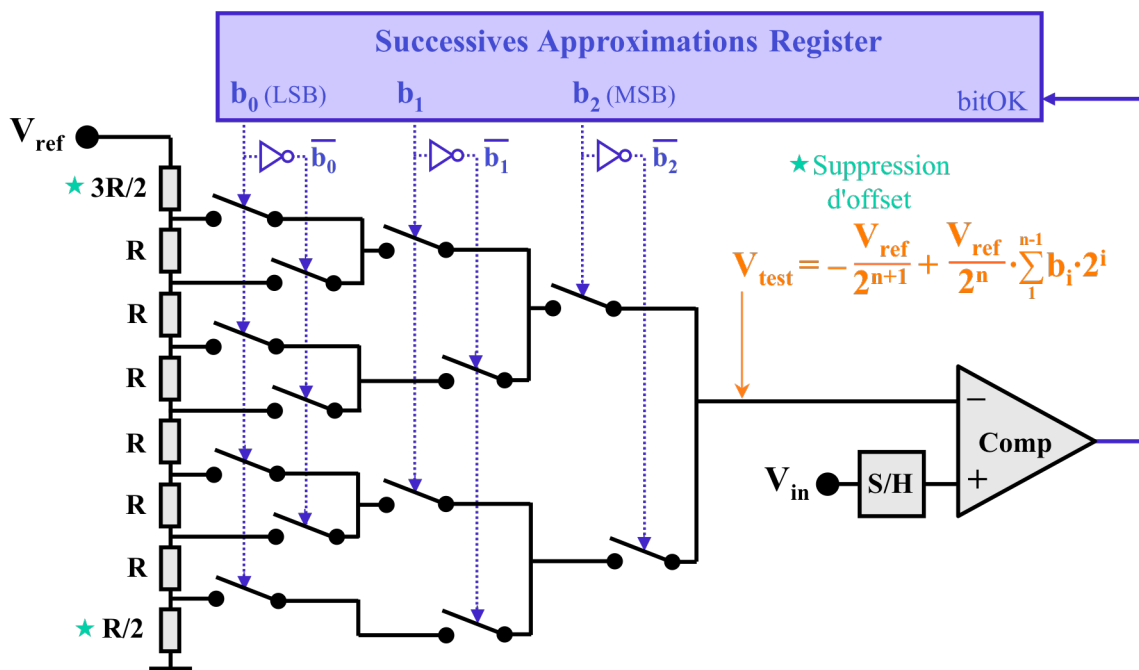
$$V_{\text{test}} = -\frac{V_{\text{ref}}}{2^{n+1}} + \frac{V_{\text{ref}}}{2^n} \cdot \sum_{i=1}^{n-1} b_i \cdot 2^i$$

Le résultat de la conversion A/N sera alors sans offset:

$$N_{\text{out}} = \sum_{i=0}^{n-1} b_i \cdot 2^i = \text{arrondi} \left(2^n \cdot \frac{V_{\text{in}}}{V_{\text{ref}}} \right)$$

3.5.2. CAN à approximation successives à base d'un CNA potentiométrique

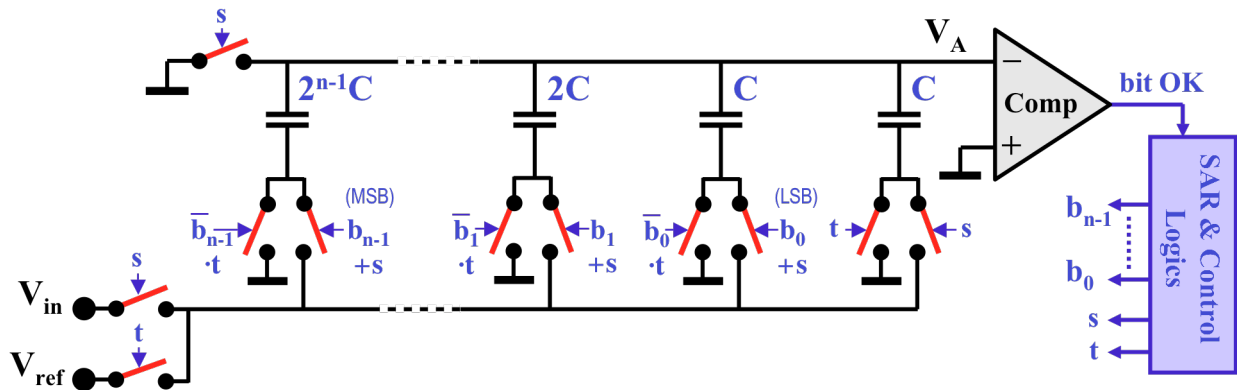
Le schéma de principe est le suivant (exemple à 3 bits):



La modification des résistances terminales du diviseur de tension permet la suppression de l'offset.

3.5.3. CAN à approximation successives à capacités pondérées

Ce CAN utilise, dans sa boucle de réaction, le CNA à capacités pondérées et redistribution passive de charge étudié en 2.2.1. Le schéma de principe est le suivant:



Première étape: échantillonnage de V_{in} , en mettant $s = 1$, $t = 0$. Toutes les capacités sont chargées à V_{in} . La charge totale vaut:

$$Q_{tot} = -V_{in} \cdot (2^{n-1} \cdot C + 2^{n-2} \cdot C + \dots + 2 \cdot C + C + C) = -V_{in} \cdot 2^n \cdot C$$

Etape intermédiaire: $s = 0$ et $t = 0$ pour s'assurer qu'il n'y a pas de recouvrement entre l'étape précédente d'échantillonnage et la suivante de test. A partir de cet instant, la somme de tous les courants à travers les capacités est nulle, donc la charge totale reste constante.

Etape de test: $s = 0$, $t = 1$ et tous les b_i bougent selon les n cycles successifs de comparaison de V_{in} avec V_{test} . En effet, durant cette étape, la charge totale reste constante, et donc:

$$(V_A - V_{ref}) \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i \cdot C + V_A \cdot \sum_{i=0}^{n-1} \bar{b}_i \cdot 2^i \cdot C = Q_{tot} = -V_{in} \cdot 2^n \cdot C$$

$$(V_A - V_{ref}) \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i \cdot C + V_A \cdot (2^n \cdot C - \sum_{i=0}^{n-1} \bar{b}_i \cdot 2^i \cdot C) = -V_{in} \cdot 2^n \cdot C$$

$$V_A = -V_{in} + \frac{V_{ref}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i = -(V_{in} - V_{test})$$

La sortie du comparateur est haute lorsque $V_{in} > V_{test}$

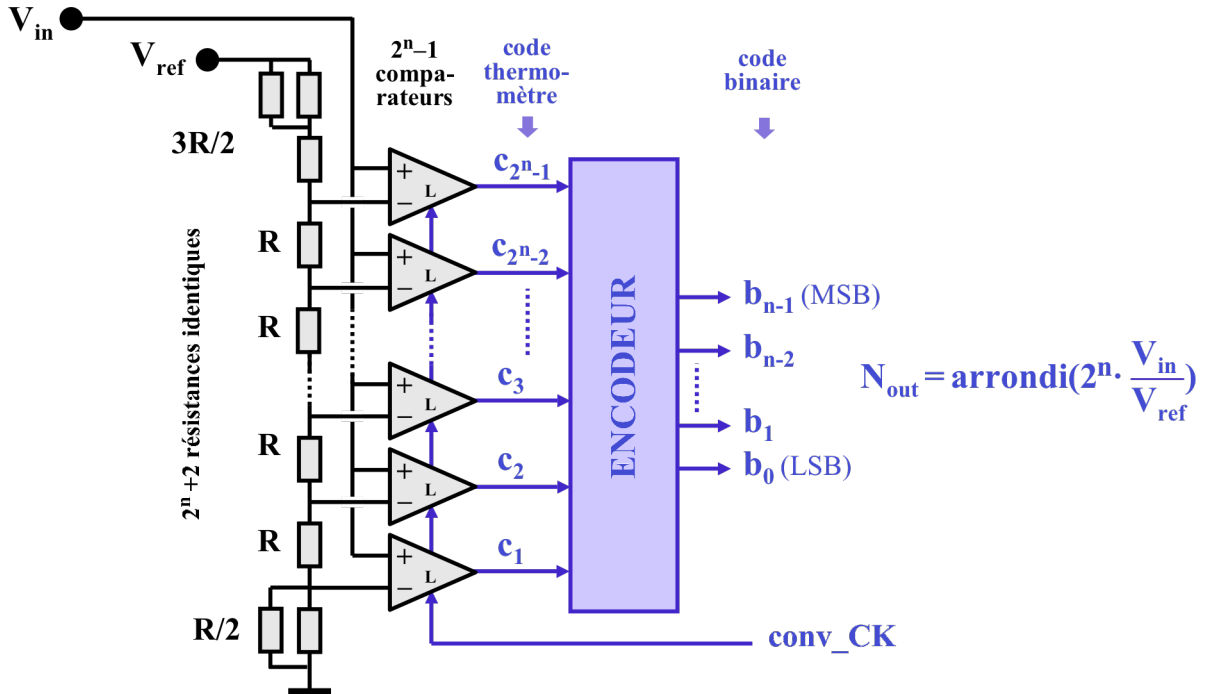
Caractéristiques:

- CAN bien adapté à une réalisation intégrée CMOS
- résolution typiquement jusqu'à 10 bits, limitée essentiellement par la précision du rapport extrême des capacités.
- le Sample-Hold fait partie du circuit de base

3.6. CONVERTISSEURS A/N "FLASH"

3.6.1. CAN "Flash"

Le schéma de principe est le suivant:



Les comparateurs sont du type "Latched", c'est à dire que la valeur binaire de sortie s'établit au front montant de l'horloge conv_CK et n'est valable que durant conv_CK = 1.

La modification des terminaisons du diviseur résistif permet d'éliminer l'offset.

Exemple de résultat pour un CAN "flash" à 3 bits:

	V_{ref}	V_{in}										
$3R/2$	$7/8 V_{ref}$	1	1	1	1	1	1	1	1	1	1	7
R	$6/8 V_{ref}$	1	1	1	1	1	0	1	1	0	6	
R	$5/8 V_{ref}$	1	1	1	1	0	0	1	0	1	5	
R	$4/8 V_{ref}$	1	1	1	0	0	0	1	0	0	4	
R	$3/8 V_{ref}$	1	1	0	0	0	0	0	1	1	3	
R	$2/8 V_{ref}$	1	1	0	0	0	0	0	1	0	2	
R	$1/8 V_{ref}$	1	0	0	0	0	0	0	0	1	1	
$R/2$	0	0	0	0	0	0	0	0	0	0	0	
		c_1	c_2	c_3	c_4	c_5	c_6	c_7	b_2	b_1	b_0	N_{out}
									MSB		LSB	

- Caractéristiques:**
- CAN le plus rapide, le temps de conversion est la somme du temps de réaction d'un comparateur et d'une logique combinatoire (plus éventuellement un registre). La conversion s'effectue en un seul cycle.
 - résolution typique limitée à 8 bits, essentiellement par le nombre de composants et leur dissipation.
 - la capacité d'entrée est élevée
 - l'ajout d'un Sample & Hold rapide à l'entrée réduit fortement l'"erreur d'ouverture"